

**UNIVERSIDAD TECNOLÓGICA NACIONAL
FACULTAD REGIONAL CÓRDOBA
DEPARTAMENTO DE ING. ELECTRÓNICA**

Cátedra de Técnicas Digitales II

Examen Final. 4 de Febrero de 2010.

1.- Se desea procesar una señal de un puente de galgas extensiométricas. La salida del puente es de $1,086 \mu\text{V}$ por cada kg de peso. Se debe poder pesar hasta 120 kg. La resolución demandada es de 100 g.

2.- En la señal de 1.-) se requiere especificar el número de bits del conversor a usar.

3.- Para usar un conversor con referencia de 10.0 V, diseñar el circuito de adaptación de señal.

4.- Se requiere un error total igual a 0,1%. Especifique los componentes de error admisibles en la etapa anterior.

5.- Diseñe con componentes discretos (transistores y compuertas) un multiplexor analógico de cuatro canales. El canal activo se comanda con la variable canal {00, 01, 10, 11} y la salida con la variable sal {0, 1}. Existirá salida cuando sal=0.

6.- Escriba el programa en Assembler que lea 16 veces la salida del conversor, sume cada una de las lecturas en una memoria de dimensión adecuada, y luego calcule el promedio de las lecturas.

7.- Mapee una memoria de 32 KB en un mapa de 1MB, de modo que no existan imágenes sino a intervalos de 64 KB.

Para aprobar el examen se requieren cuatro puntos totalmente correctos, los que deben incluir tres del conjunto de {3, 4, 5, 6, 7}

**UNIVERSIDAD TECNOLÓGICA NACIONAL
FACULTAD REGIONAL CÓRDOBA
DEPARTAMENTO DE ING. ELECTRÓNICA**

Cátedra de Técnicas Digitales II

Examen Final. 25 de febrero de 2010.

Sea una señal que admite una expresión: $s(t) = 2.5\text{sen}(4.18E5t)$ [V].

1.- ¿Cuál es la frecuencia de muestreo según Nyquist?. ¿Cuál es la recomendable?
¿Cuál es el tiempo de conversión mínimo para este último caso?

2.- En la señal de 1.-) se requiere discriminar la amplitud a 0,5 mV. Especificar el número de bits del conversor a usar.

3.- Para usar un conversor de un solo cuadrante y referencia de 10.0 V, diseñar el circuito de adaptación se señal.

3.1 Circuito electrónico usado

3.2 Componentes para que el error introducido por el circuito sea menor a $\frac{1}{4}$ lsb.

3.3 Especificación de ripple de las fuente(s) usada(s) para la misma especificación de error

4.- Se requiere el diseño del circuito que implemente la etapa de recepción de un canal RS 232-C a 4.8 kbps. Usar solamente componentes discretos o lógica TTL MSI. Diseñar la interfase al micro.

5.- Diseñe con componentes discretos (transistores y compuertas) un multiplexor analógico de dos canales. El canal activo se comanda con la variable canal {0, 1} y la salida con la variable sal {0, 1}. Existirá salida cuando sal=0.

Para aprobar se necesita tener correctos por lo menos tres puntos, que deben incluir dos del conjunto {3, 4, 5}

**UNIVERSIDAD TECNOLÓGICA NACIONAL
FACULTAD REGIONAL CÓRDOBA
DEPARTAMENTO DE ING. ELECTRÓNICA**

Cátedra de Técnicas Digitales II

Examen Final. 11 de Febrero de 2010.

1.- Se debe realizar un modulo de captura que digitalize una señal de 2KHz cada una, las mismas poseen un rango de $\pm 0.5V$

Las señales no son sinusoidales y se debe analizar hasta la 10ma armónica

la captura se realiza con un ADC de 12 bits de 5.0 V de referencia

Se pide

Resolución en mV de la señal

Frecuencia de muestreo.

Diseño de la Etapa de Adaptación de señal (ganancia, valores de resistencias)

2.- Diseñe un programa en assembler, que barra un vector de 1000 palabras de 16 bits con signo, encuentre el valor mínimo, y reste ese valor a cada elemento de ese mismo vector.

3.- Diseñe el circuito selector que mapee dos memoria una 32K x 8 y otra 16K x 8, en la parte mas baja de un mapa de 1Mb x 8 y en forma correlativas, solo se pide el circuito selector, el cual tendrá como entrada las líneas de address necesarias y como salida las dos señales de CS, las memorias se pueden mapear con imágenes.

4.- Se debe diseñar un canal de transmisión serial, el mismo debe soportar una flujo de datos de: 1 trama de 24 bytes cada 20ms, se debe configurar el canal en modo 8N1, definir mínima velocidad necesaria (normalizada), calcular DLL y DLM para un clock de 1,8432 Mhz

5.- Diseñe con componentes discretos (transistores y compuertas) un multiplexor analógico de cuatro canales. El canal activo se comanda con la variable canal {00, 01, 10, 11} y la salida con la variable sal {0, 1}. Existirá salida cuando sal=0.

Para aprobar el examen se requieren tres puntos totalmente correctos.