



PROGRAMA ANALÍTICO DE : TECNICAS DIGITALES IV (DISEÑO DIGITAL CON TÉCNICAS DE ALTO NIVEL) . (PLAN 1995 /Adecuado 2006)

Nivel	Cuatrimestre	Código	Hs. semanales
6to	11		6

Correlatividades:

Para cursar:

Cursada: Electrónica Aplicada 2 – Técnicas Digitales 3.

Aprobadas: Medidas electrónicas 1 – Técnicas digitales 2.

Para rendir:

Aprobadas: Electrónica Aplicada 2 - Técnicas Digitales 3.

Objetivos:

El objetivo principal de la materia apunta a desarrollar capacidades mínimas de diseño de circuitos y sistemas con técnicas de alto nivel (lenguajes de descripción de hardware). Para ello los alumnos desarrollan en la segunda parte un pequeño proyecto real. Con real queremos decir que se siguen todos los pasos que en un diseño profesional, desde las especificaciones iniciales hasta contar con el circuito integrado final programado. Los proyectos se realizan por grupos.

Este curso le permitirá a los alumnos introducirse en los conceptos fundamentales de la electrónica digital integrada utilizando un enfoque generalista, teniendo en cuenta la actualidad tecnológica.

También esta asignatura servirá para la adquisición de herramientas metodológicas de gran importancia que lo capacitarán para introducirse en el "mundo" del diseño en electrónica, sin descuidar, sin embargo, el desarrollo de la capacidad analítica.

Otros objetivos, no menos importantes, son que el alumno se habitúe a la investigación bibliográfica ,al uso de instrumental electrónico, y a la utilización de herramientas de software de simulación de circuitos y sistemas electrónicos. Es de notar que en esta materia los alumnos comienzan a utilizar con asiduidad textos en idioma Inglés, por lo que también adquirirán entrenamiento y fluidez en la lectura en ese idioma que es de vital importancia para el desarrollo de su actividad futura.

Estrategia Metodologica.

Clases Teóricas: Exposición del tema por parte del Docente.

Clases Practicas: El Docente conducirá las actividades que el alumno deberá realizar a fin de adquirir experiencias que le permitan su posterior desempeño en el medio.

Criterios de evaluación: Evaluación continua durante el curso mediante pruebas parciales. Evaluación final mediante examen integrador. Realización de un pequeño proyecto que será evaluado mediante un coloquio contra presentación del informe correspondiente.

Contenido:



UNIDAD 1. INTRODUCCIÓN:

Circuitos integrados digitales: familias standard, full custom, celdas normalizadas, arreglos de compuertas, lógica programable.

Duración: 0,5 Semanas

UNIDAD 2. ARQUITECTURAS DE LÓGICAS PROGRAMABLES:

Plus: CPLDs y FPGAs). Introducción. Principales fabricantes a nivel mundial. Arquitecturas de lógica programable (CPLDs). Arquitecturas de arreglos de compuertas programables (FPGAs).

Duración: 0,5 Semanas

UNIDAD 3. SISTEMAS DE DISEÑO PARA PLDS:

Introducción. Edición de un diseño. Procesamiento de un diseño. Verificación de un proyecto. Programación de dispositivos. Archivos de aprendizaje.

Archivos de diseño gráfico: Creación de archivos. Especificación de nombre de proyecto. Símbolos de funciones lógicas. Pines de entrada y salida. Nombre de pines. Conexión de símbolos. Conexión de nodos y buses por nombre. Chequeo de errores. Creación de símbolos por omisión.

Archivos de diseño de texto: Creación de archivos. Ingreso de nombres de archivo, entradas y salidas. Declaración de registros. Ecuaciones booleanas. Instrucción "if - then". Chequeo de errores de sintaxis y creación de símbolos por omisión.

Archivos de diseño por formas de onda: Nombres y creación de archivos. Creación de nodos, entradas y salidas. Especificación de la grilla de trabajo. Edición de formas de onda de los nodos de entrada y salida. Chequeo de errores de edición y creación de símbolos por omisión.

Compilación de proyectos: Selección de la familia de dispositivos. Recopilación inteligente. Bit de seguridad. Estilo de síntesis lógica. Extractor de temporización SNF. Generación de archivos de informe. Archivo de informe.

Visualización de un proyecto en forma jerárquica: Sistema de visualización de un proyecto jerárquico.

Visualización del proyecto en planta: Bloques funcionales. Edición de asignaciones. Recopilación de proyectos. Visualización de la información de interconexión y de ecuaciones.

Creación de archivos de simulación: Creación de archivos de simulación. Agregado de nodos y grupos adicionales al archivo. Reordenamiento del orden de nodos y grupos. Edición de las formas de onda de los nodos de entrada.

Simulación de proyectos: Entorno de simulación. Especificación de archivos de salida adicionales. Monitoreo de los tiempos de setup y hold. Ejecución de la simulación. Creación de archivos en forma de tablas.

Análisis de los resultados de la simulación: Visualización del archivo de simulación. Visualización de archivos de historia y de tablas. Reedición de archivos de simulación.

Sistemas de diseño para PLDs, análisis de temporización:

Ejecución del analizador de temporización. Listado de mensajes de los tiempos de propagación. Localización del camino de retardos en el editor de bloques funcionales. Localización del camino de retardos en los archivos de diseño de proyectos.

Programación de dispositivos: Ventana de programación. Creación de un archivo de programación. Programación de un dispositivo.



Duración: 4 Semanas

UNIDAD 4. MÉTODOS DE DISEÑO ELECTRÓNICO:

Evolución del diseño electrónico. Los lenguajes de descripción de hardware. Metodologías y flujos de diseño.

Duración: 2 Semanas

UNIDAD 5. PRESENTACIÓN DEL LENGUAJE VHDL:

Introducción, contexto y conceptos básicos. Un modelo de hardware. Unidades básicas de diseño. Objetos, tipos de datos y operaciones. Sentencias secuenciales. Sentencias concurrentes. Subprogramas.

Duración: 2 Semana

UNIDAD 6. PROCESADO Y MECANISMOS DE SIMULACIÓN DEL LENGUAJE VHDL:

Introducción. Simulación por ordenador. Procesado de un lenguaje de programación. Simulación de una entidad de diseño VHDL. Modelado en VHDL para simulación.

Duración: 1 Semana

UNIDAD 7. SÍNTESIS:

Introducción. Aplicación de VHDL en síntesis. Síntesis RT-lógica. Descripción VHDL de circuitos digitales. Recomendaciones generales.

Duración: 1 Semana

UNIDAD 8. MODELADO CON VHDL:

Introducción. El modelado de un sistema a diferentes niveles de detalle. Modelado funcional. Modelado estructural. Modelado detallado.

Duración: 1 Semana

UNIDAD 9. LA GESTIÓN DEL DISEÑO:

Introducción. Planificación de un diseño descendente. Desarrollo y organización de bibliotecas en VHDL. Diseño para reusabilidad. Diseño genérico. Diseños configurables.

Duración: 1 Semana

UNIDAD 10. DESARROLLO DE UN PROYECTO MEDIANTE VHDL Y PLDS:

El objetivo final de la asignatura es el desarrollo de un proyecto a elección de cada alumno o determinado por la cátedra. Dependiendo de la complejidad de este proyecto podrá ser individual o grupal. La meta de esta última parte de la materia es que el alumno pueda desarrollar todos los conocimientos que se han adquirido durante el transcurso de la asignatura, tanto en lenguajes de descripción de hardware como en dispositivos programables, y volcarlos al desarrollo de un pequeño proyecto pasando por todas las etapas de diseño del mismo.

Duración: 2 Semanas

Bibliografía:



- VHDL: Lenguaje para síntesis y modelado de circuitos - Parda, Boluda – Año 2004.
- Manuales varios de Altera y Xilinx - Año 2006.