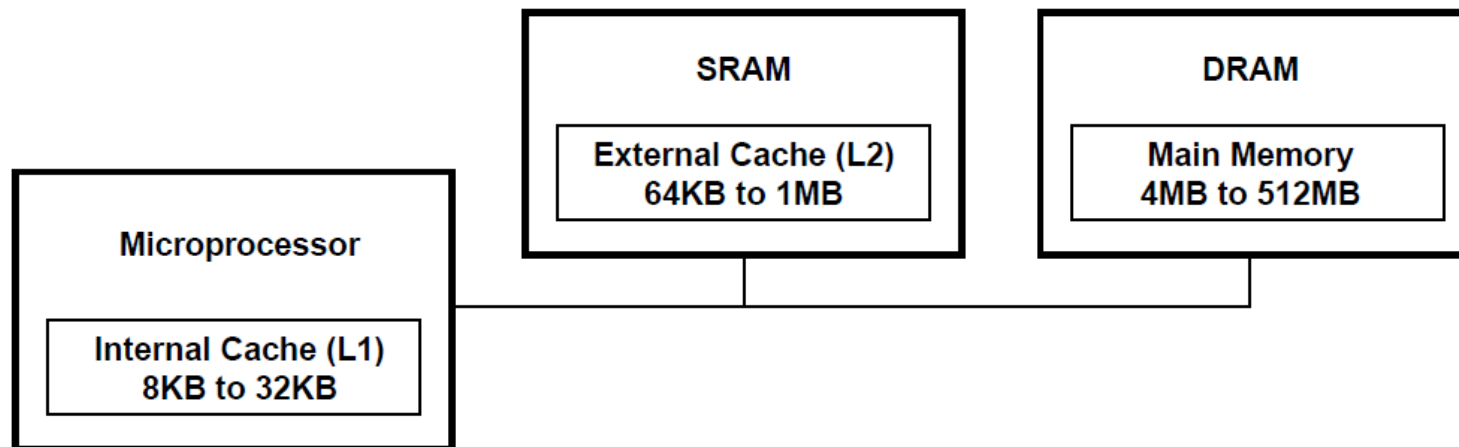


Memorias

Por su tipo de acceso las memorias se clasifican en:

- acceso aleatorio. El valor de $[m(t+1)]$ es independiente de t . Estas memorias, en inglés, se denominan Random Access Memory (RAM)
- acceso secuencial. $[m(t+1)]$ depende de t . Ejemplos: discos, CDs, cinta, etc. Hasta 1990 existieron memorias secuenciales de estado sólido (bubble memories)

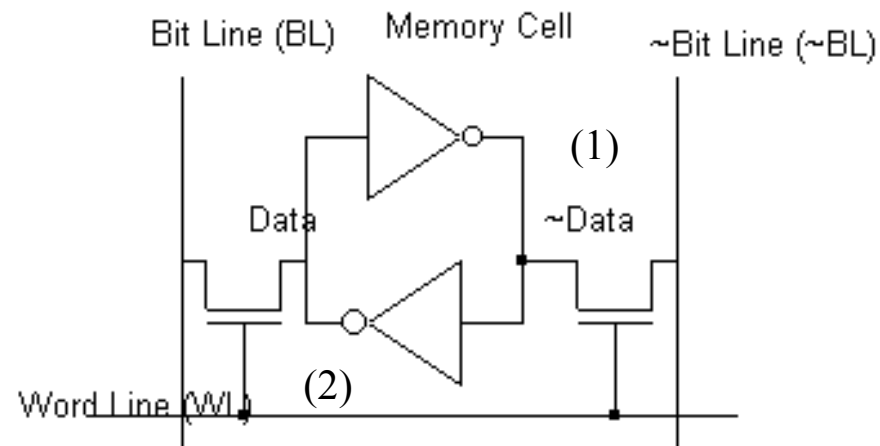
Estructura de procesador típico con memorias rápidas y de almacenamiento masivo.



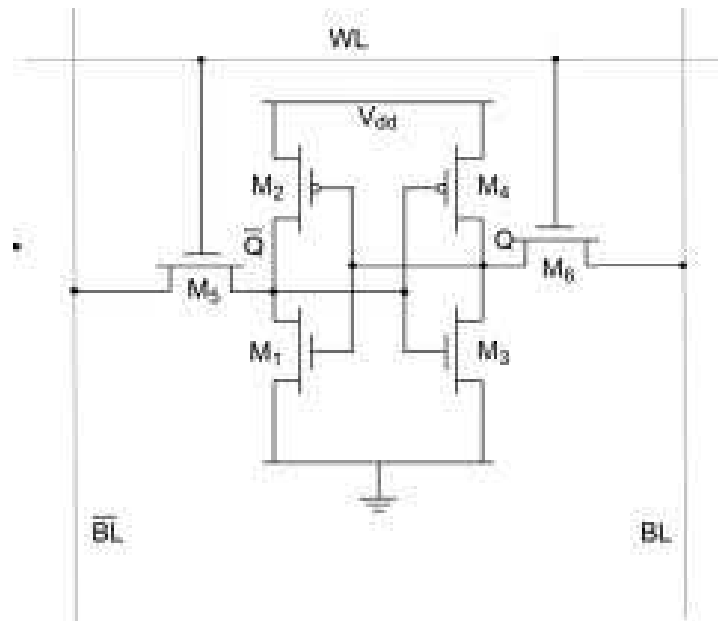
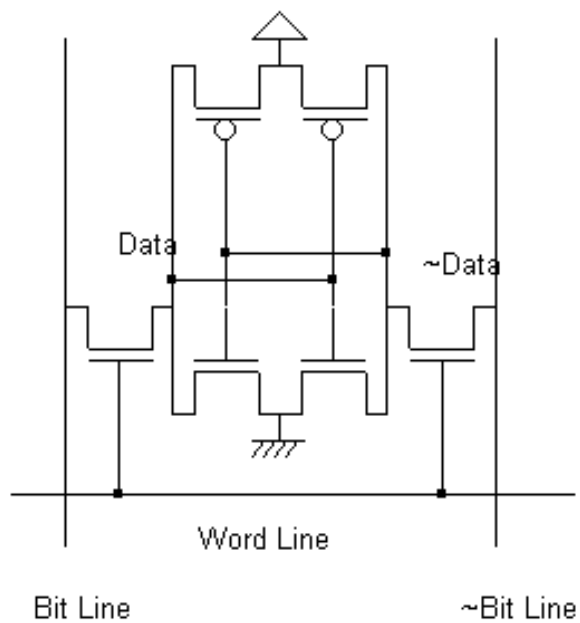
Source: Micron/ICE, "Memory 1997"

20812

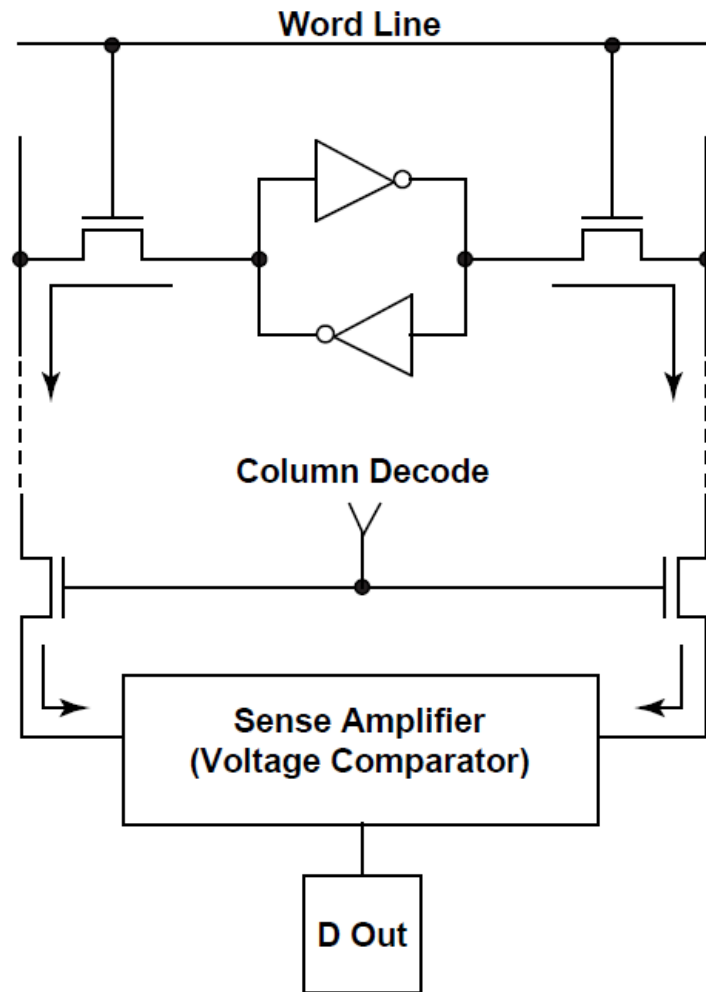
Memoria RAM estática.



Si en (1) hay un uno, en (2) debe haber un cero y esta situación es estable.
Para cambiar este estado, por las líneas de bit se establece el estado deseado y se conectan las líneas de word. Esto implica que los transistores de las líneas de word manejan mas potencia que los de las salidas de las compuertas.



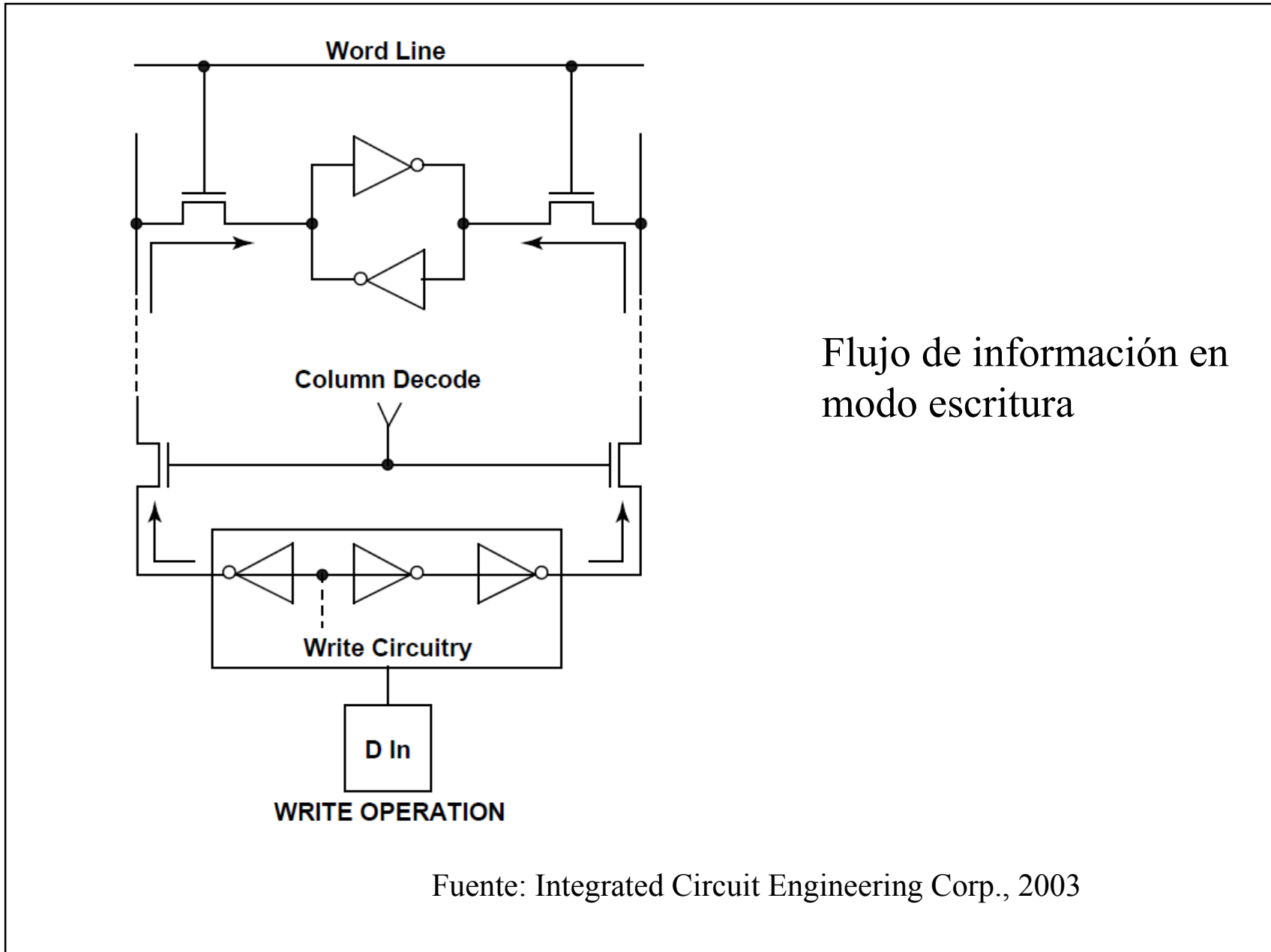
Esta configuración recibe el nombre de celda RAM estática de seis transistores. M_{1-3} y M_{2-4} son de simetría complementaria



Flujo de información
en modo lectura.

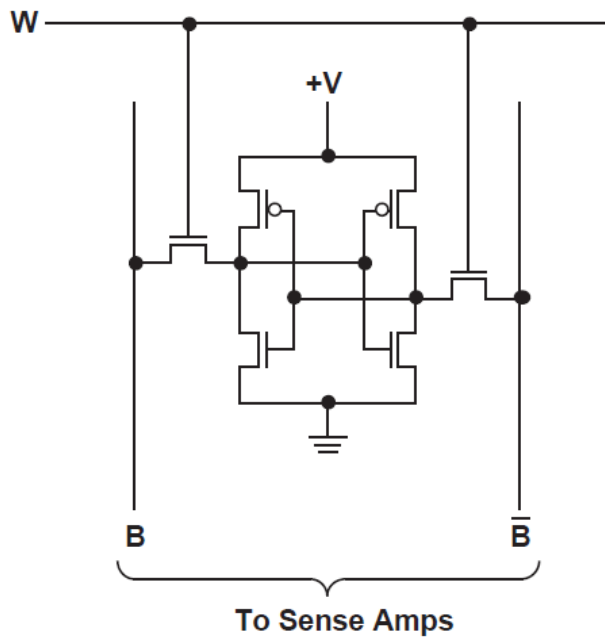
READ OPERATION

Fuente: Integrated Circuit Engineering Corp., 2003



Flujo de información en modo escritura

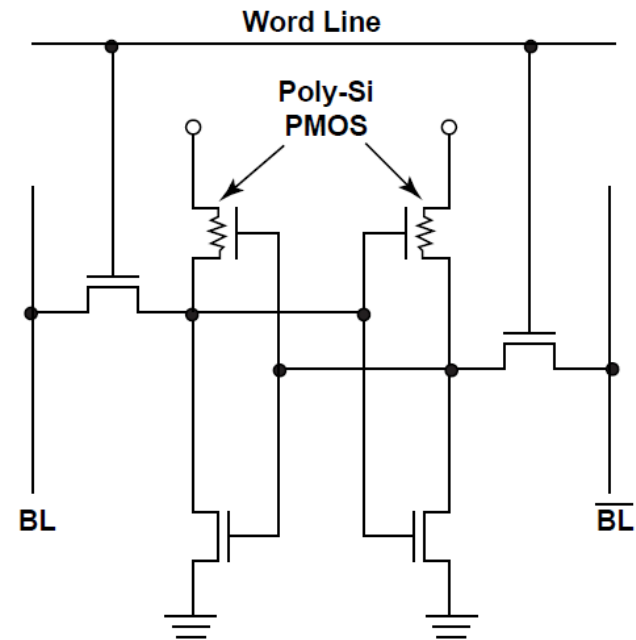
Fuente: Integrated Circuit Engineering Corp., 2003



Source: ICE, "Memory 1997"

18471A

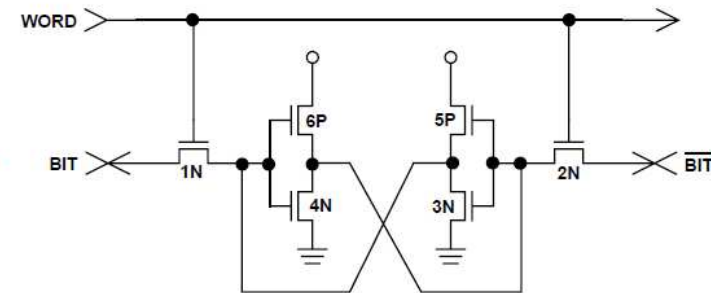
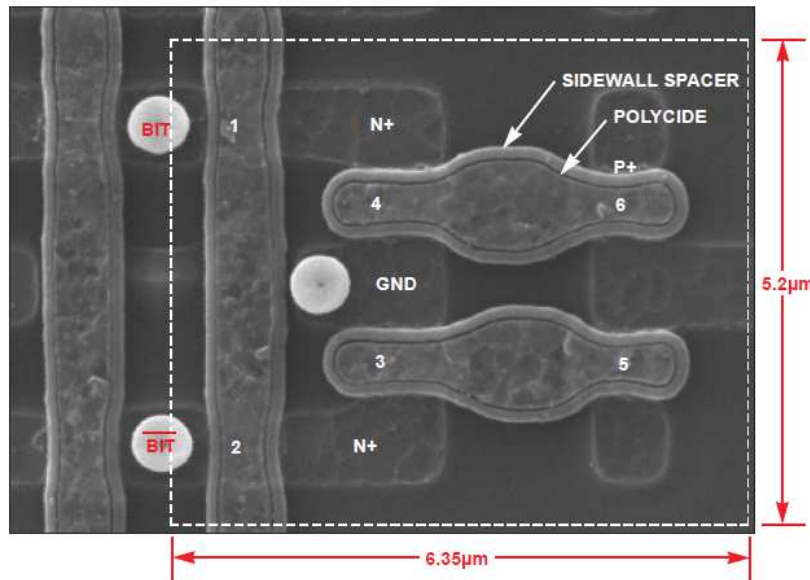
Celda de memoria convencional



Source: ICE, "Memory 1997"

19954

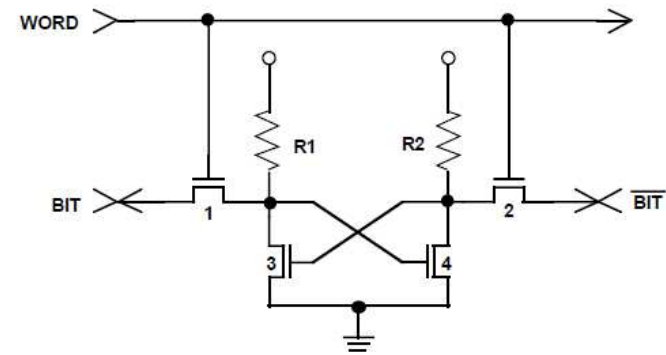
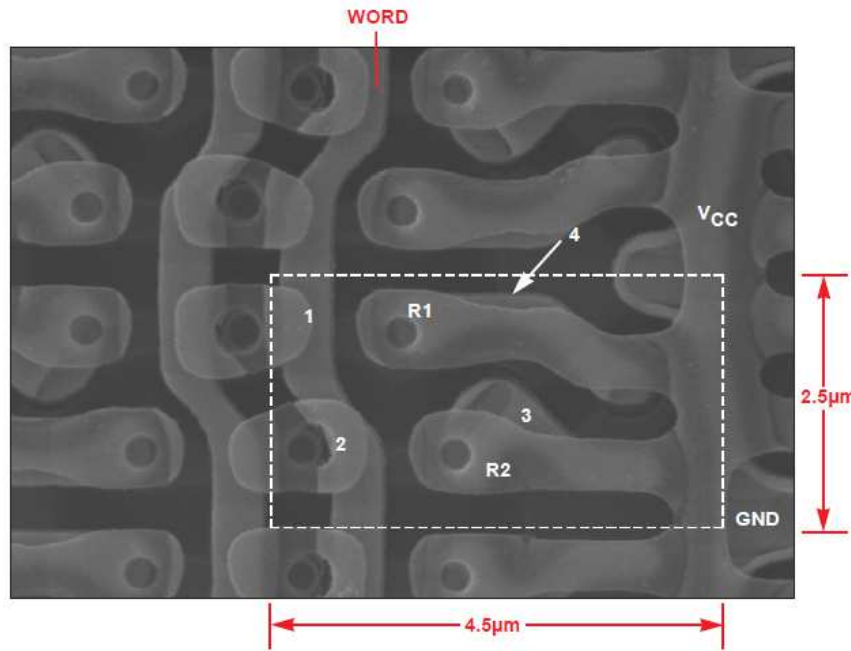
Celda de memoria de transistores de película fina (TFT)



Source: ICE, "Memory 1997"

22172

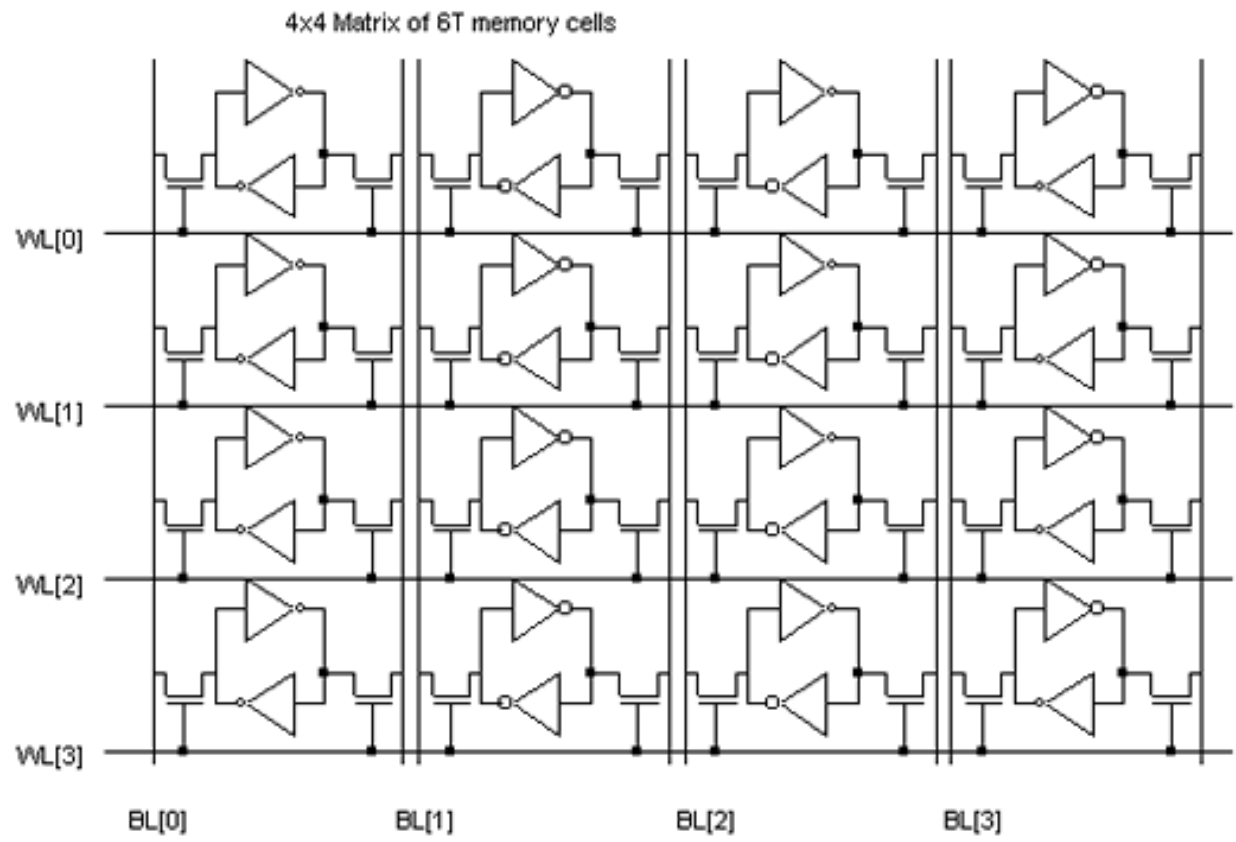
Estructura y layout de una celda de seis transistores de simetría complementaria. Proceso de $0,25\mu\text{m}$, 1997.



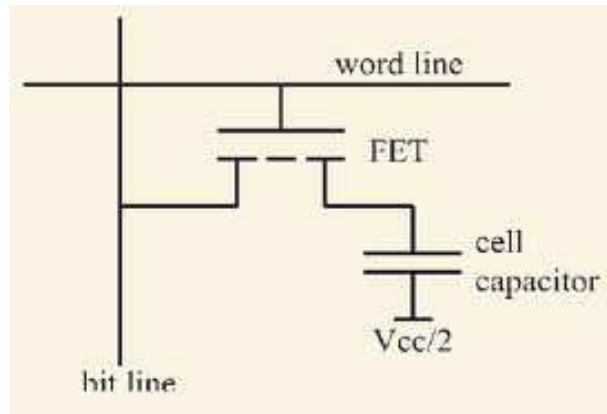
Source: ICE, "Memory 1997"

22171

Estructura y layout de una celda con TFT.
Proceso de $0,25\mu\text{m}$, 1997.



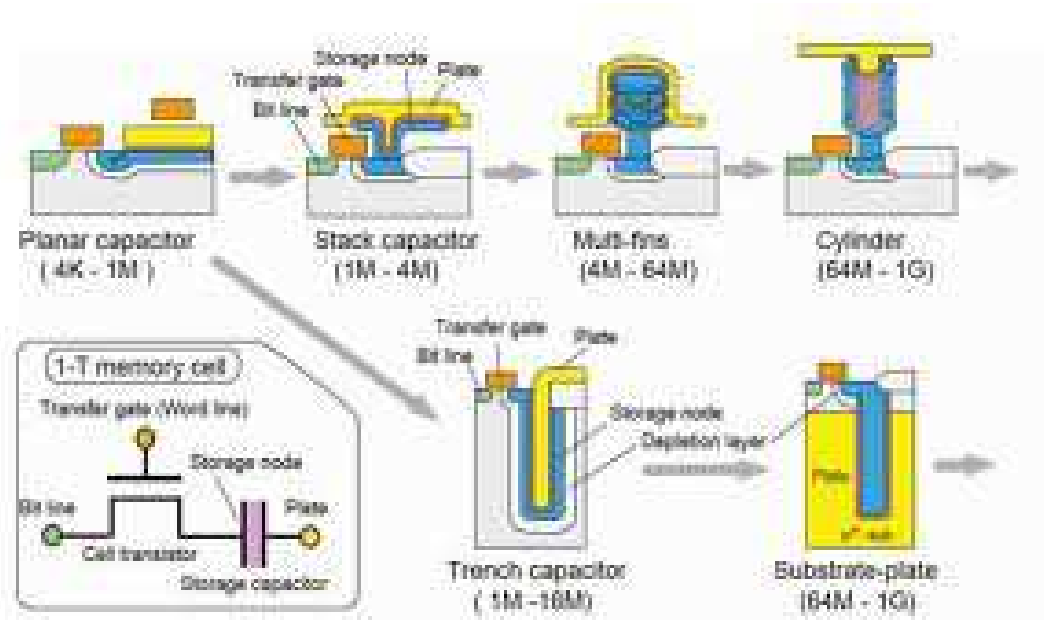
Estructura de una memoria tipo.



Memoria RAM dinámica

circuito

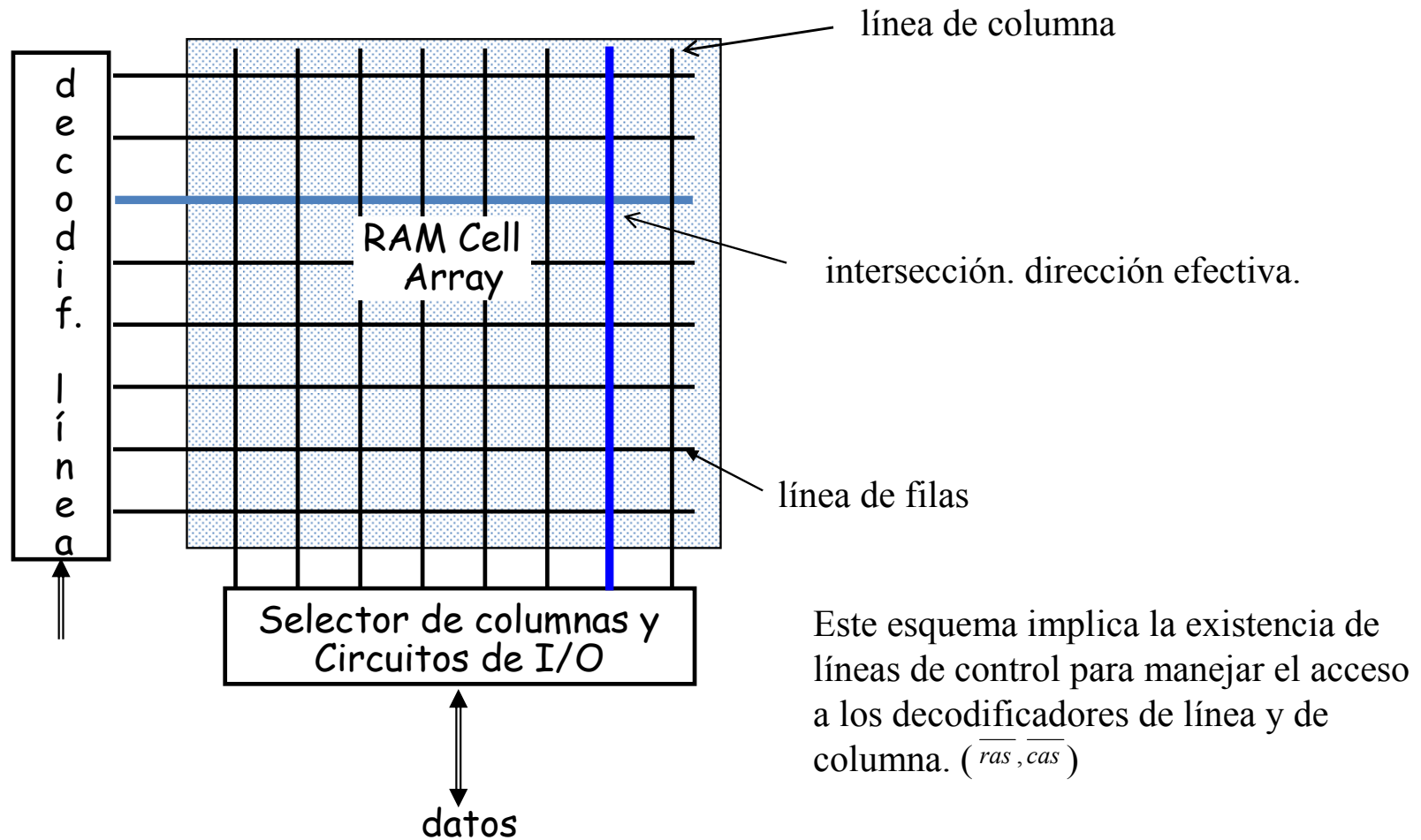
estructura en silicio. Evolución del capacitor



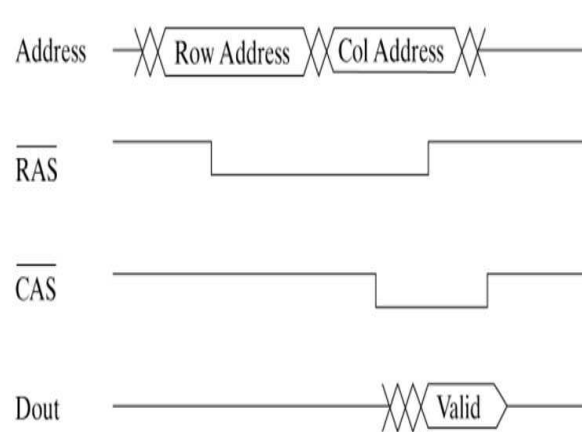
¿Que pasa cuando las celdas son muchas?

(muchas $\geq 10^6$)

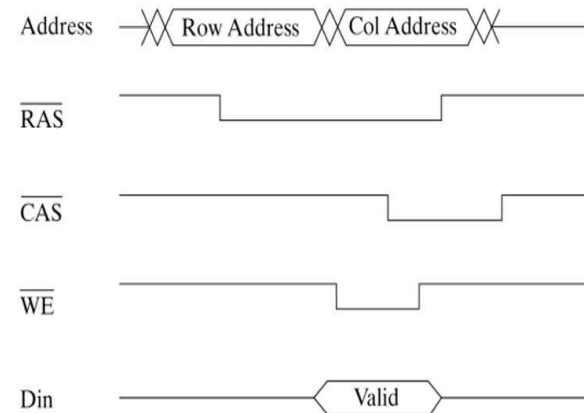
Estructura matricial de decodificación. Baja la complejidad del decodificador en un factor importante. Si $N=20$ en lugar de un circuito 2^{20} compuertas se usan dos con 2^{10} compuertas.



Estructura de los ciclos de lectura / escritura



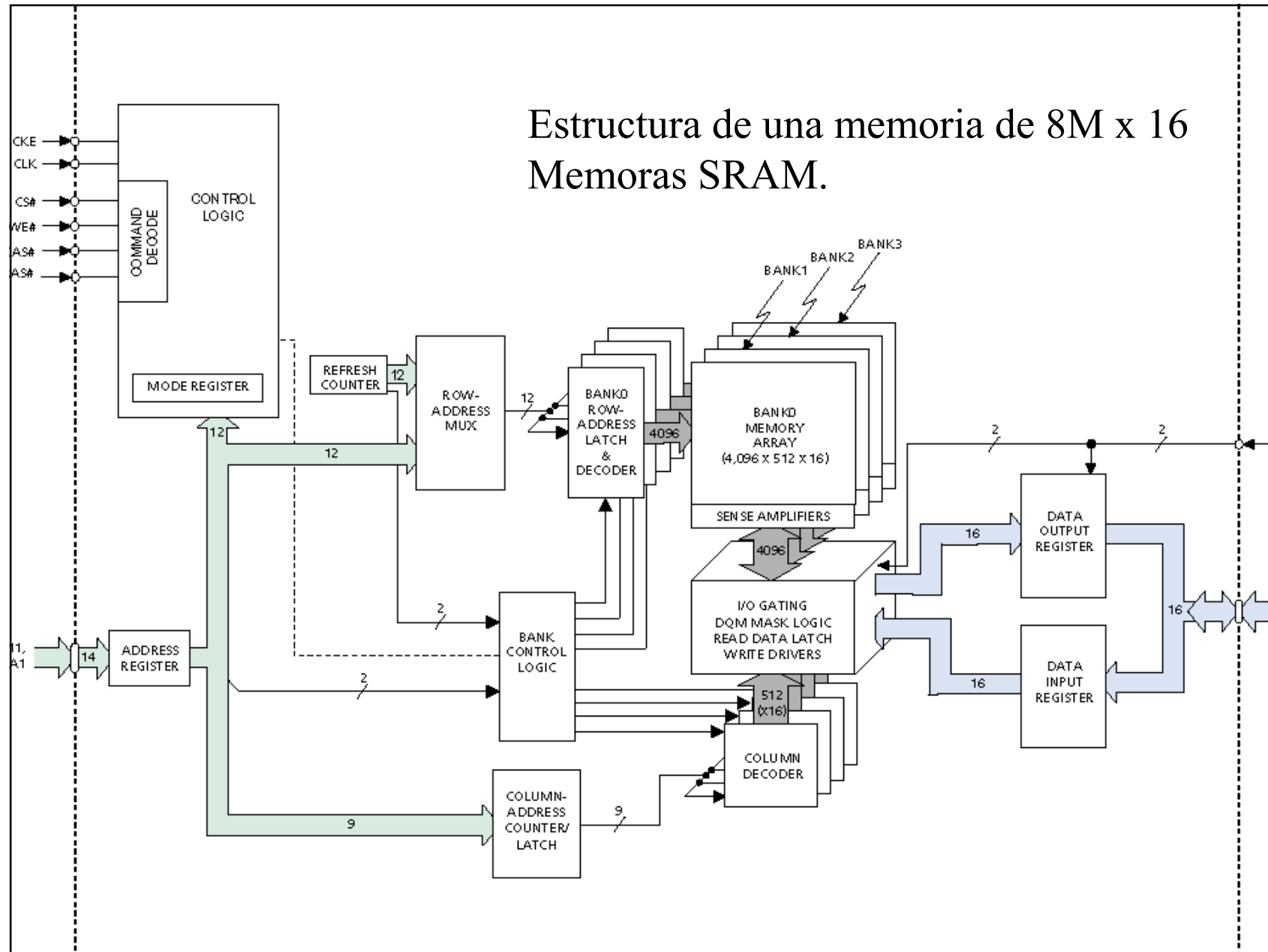
Lectura



Escritura

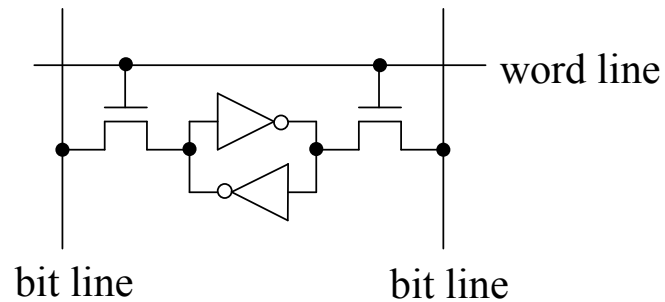
Este ciclo se basa en un doble búfer, con un registro para filas y otro para columnas

Estructura de una memoria de 8M x 16 Memoras SRAM.

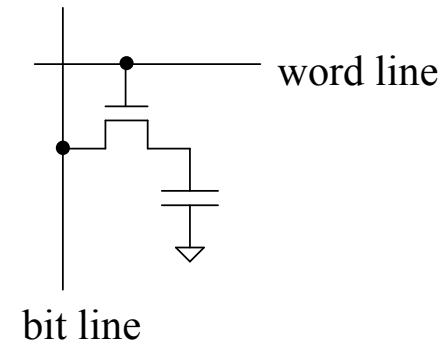


Comparación de estructuras de memoria

Celda estática



Celda dinámica

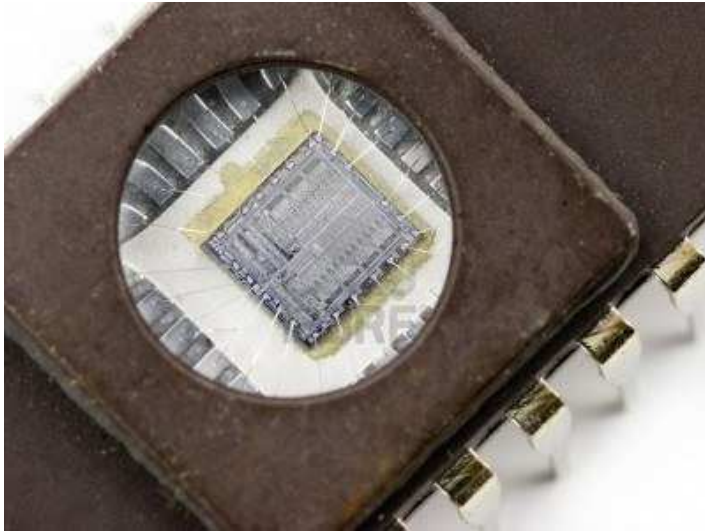


- Celda mas grande → menor densidad mas alto costo / bit
- no hay refresco
- la lectura es no destructiva
- Lectura simple → menor t_{acc}
- Se integra con lógica estándar

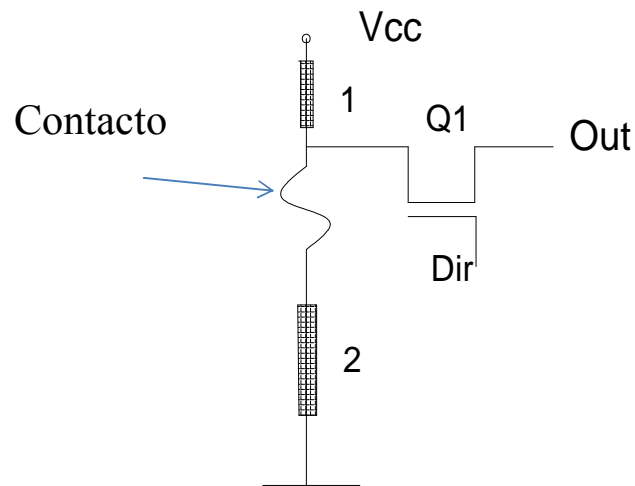
- Celda mas chica → mayor densidad menor costo / bit
- necesita refresco y refresco luego de lectura.
- Lectura mas compleja y lenta
- requiere procesos especiales y es difícil integrar con lógica estándar

Memorias no volátiles.

Memoria y borrador de memorias EPROM



Memoria ROM de máscara



1, 2 son transistores que funcionan como cargas

Problemas:

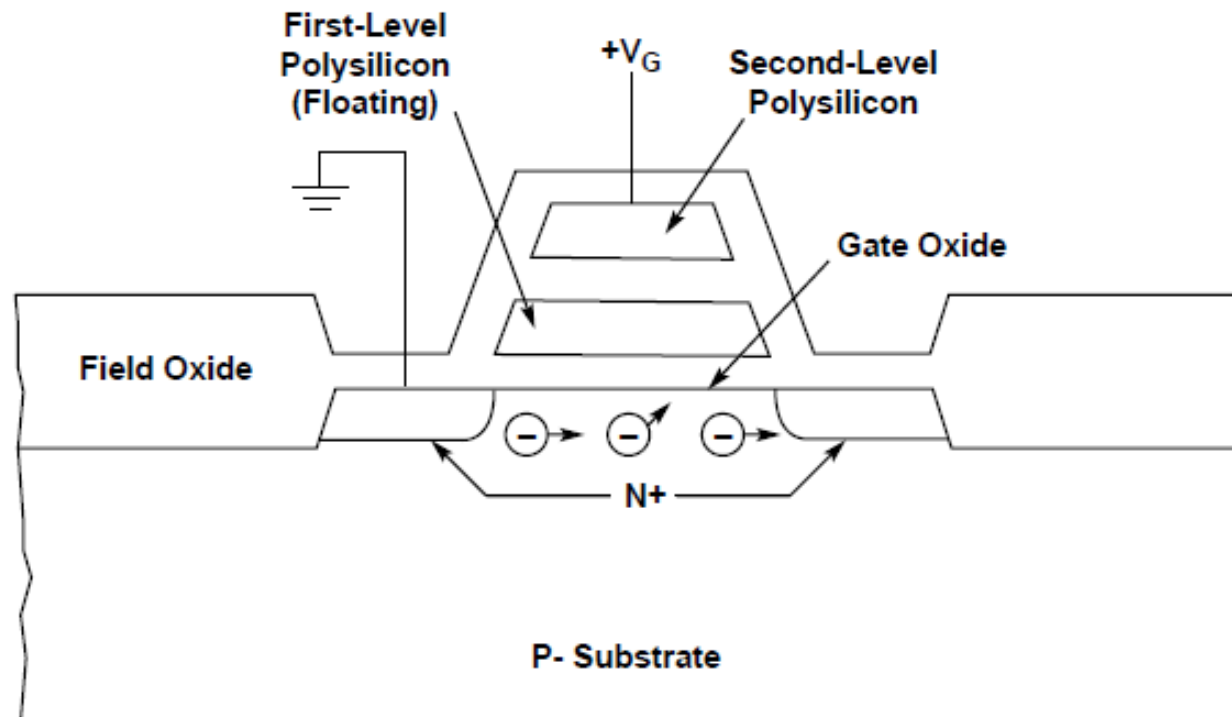
Escala de trabajo

Ventajas:

- Muy bajo costo
- Usa un solo transistor
- Muy pequeño tamaño

Reemplazando el contacto por un fusible se crea la PROM, en la que se pueden programar localmente los unos.

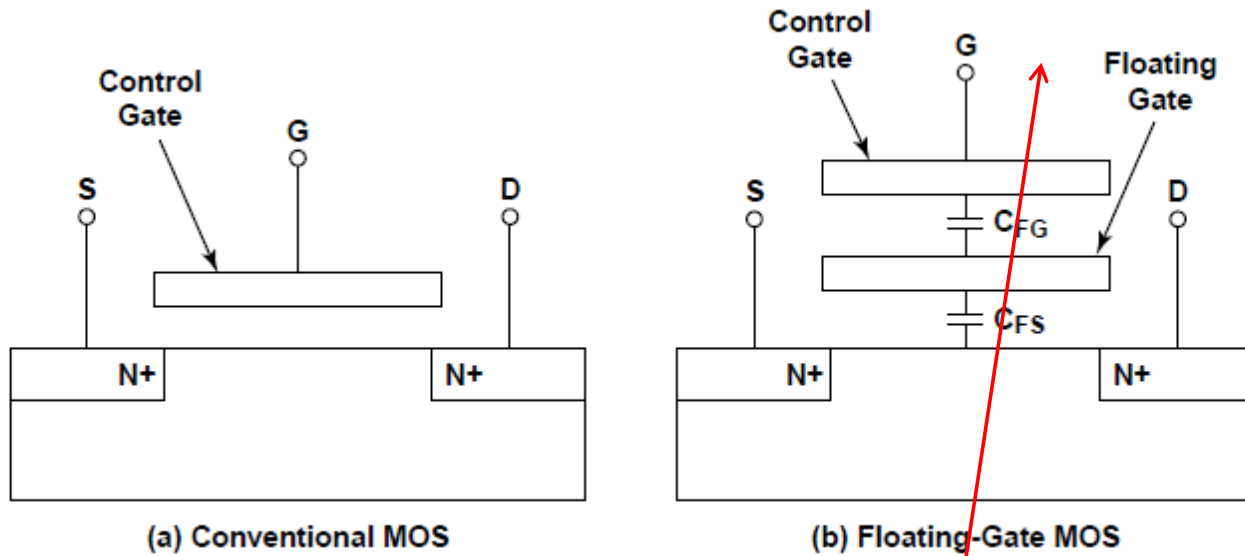
Memoria EPROM (PROM borrable)



Source: Intel/ICE, "Memory 1997"

18474

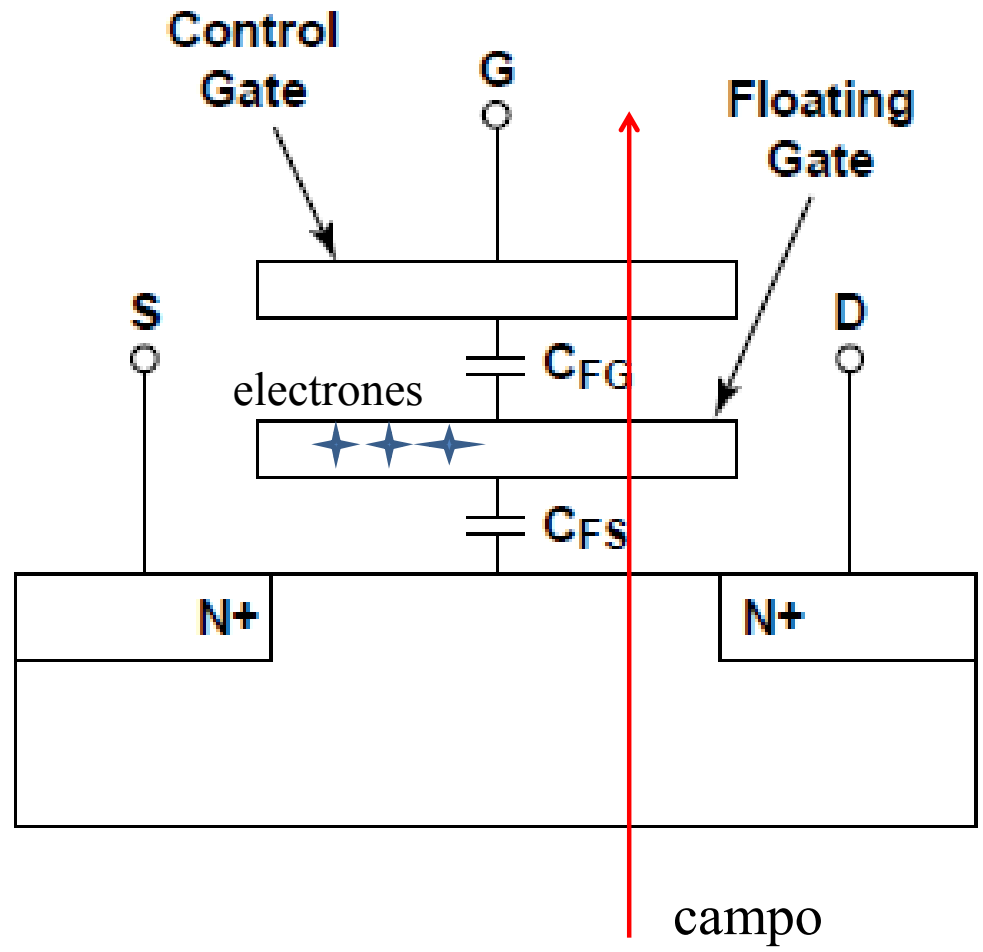
El transistor de la izquierda es normal. El de la derecha es el tipo de dispositivo usado en las EPROM



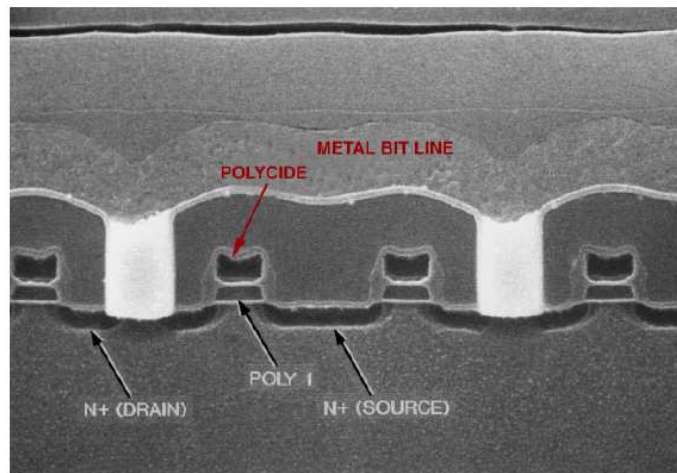
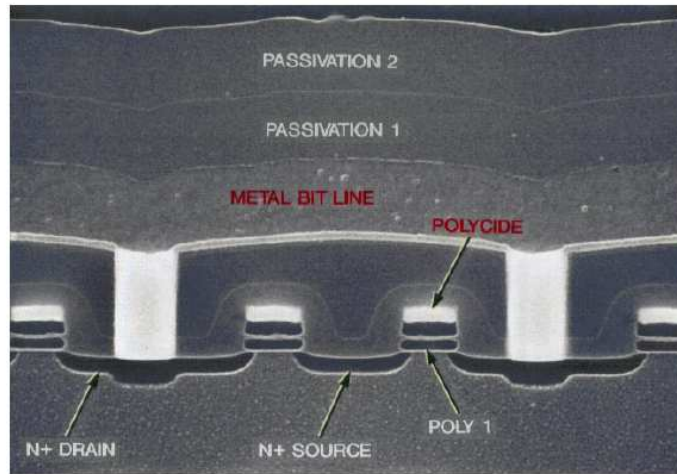
Source: ICE, "Memory 1997"

20846

Campo eléctrico



h \approx 30 nm
Medio: SiO₂



Source: ICE, "Memory 1997"

22462

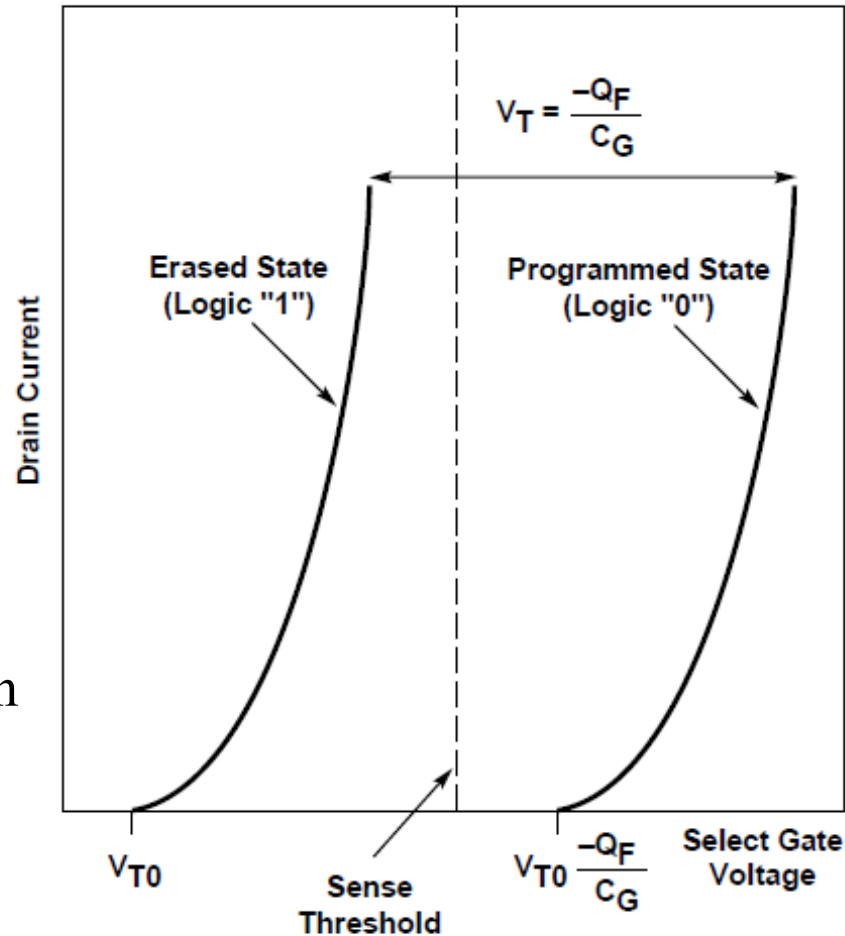
Dos fotos de celdas
de 1 M de Hitachi
(arriba)
y de
Motorola (abajo)

Tecnología: 0,25 μm
1996.

El campo se interrumpe, quedando los electrones retenidos en la puerta flotante.

Para borrar, se deben recombinar.

Para ello se usa radiación UV. (20' a 5 W/cm²)



Source: ICE, "Memory 1997"

17548A

Inconvenientes de las EPROM:

- Para borrar requieren ventanas de cuarzo (transparente a UV)
Esto equivale a encapsulados de cerámica (coef. térmico) y esta solución es demasiado cara.

Ventajas de las EPROM:

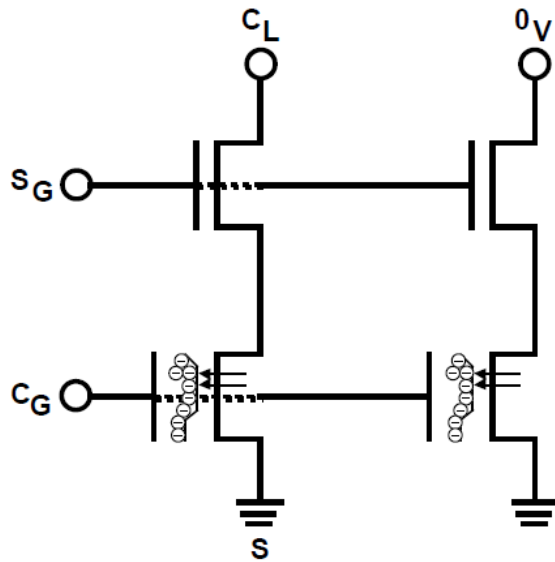
- Tienen una celda muy chica y permite alta integración a bajo costo

La tecnología ha caído en desuso...

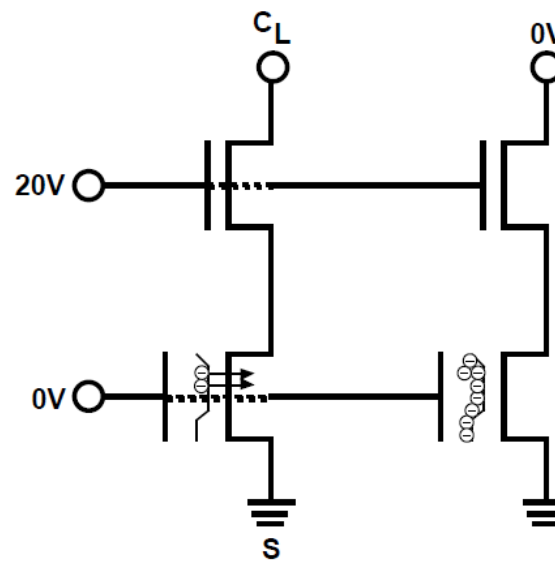
EEPROM

Electrically Erasable PROM

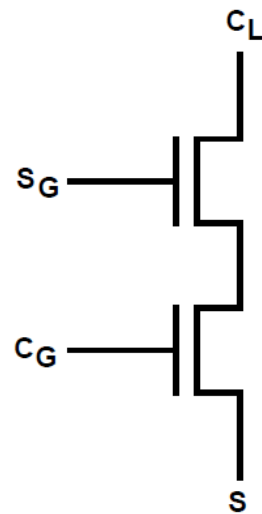
PROM borrable eléctricamente



Erase



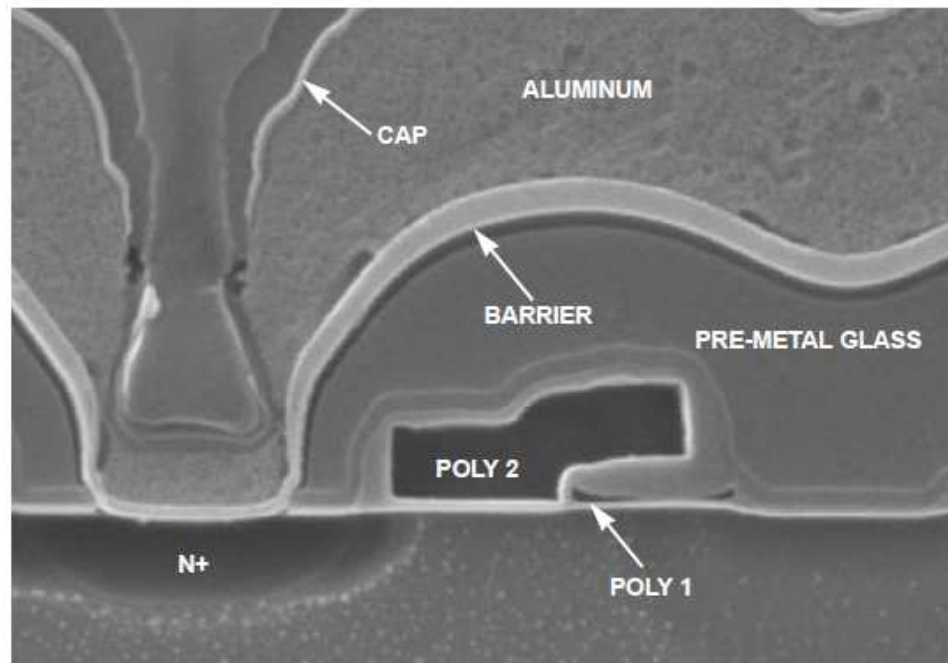
Program



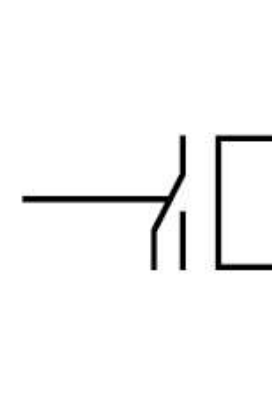
	S_G	C_L	C_G	S
Erase	V_{PP}	0	V_{PP}	0
Program	V_{PP}	V_{PP}	0	0
Read	V_{CC}	1	V_{CC}	0
Unselected	0	X	0	0

Operación de la EEPROM por efecto túnel

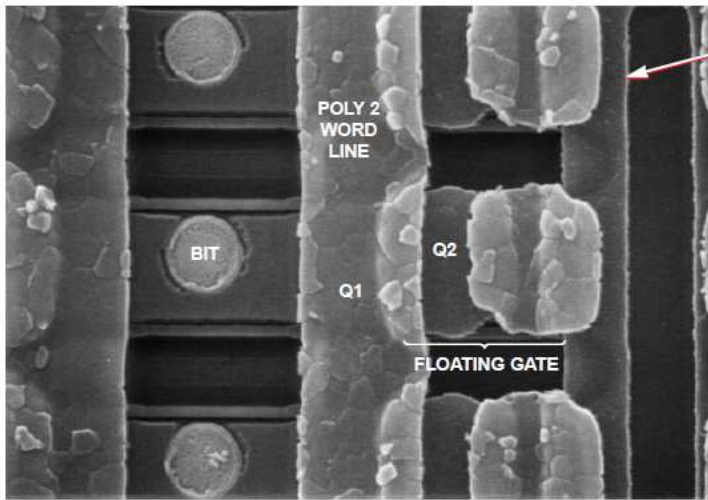
Celda de 1 M producida por Winbond, Inc. Ver detalle de la geometría del transistor.



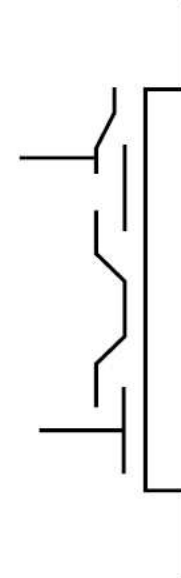
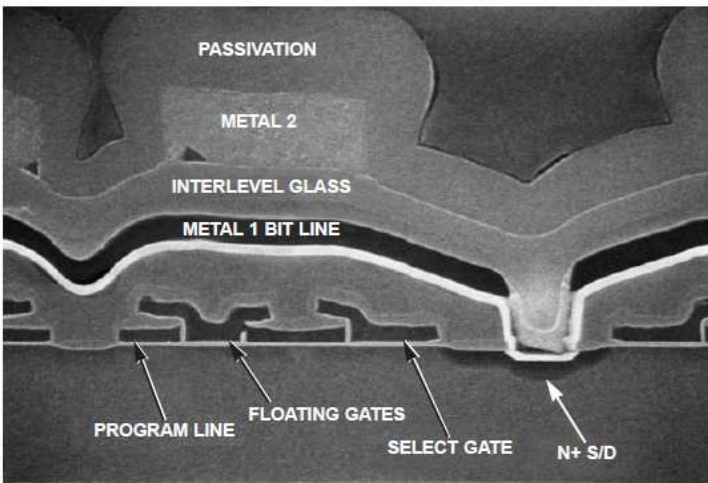
Source: ICE, "Memory 1997"



22468



POLY 1 PROGRAM LINE

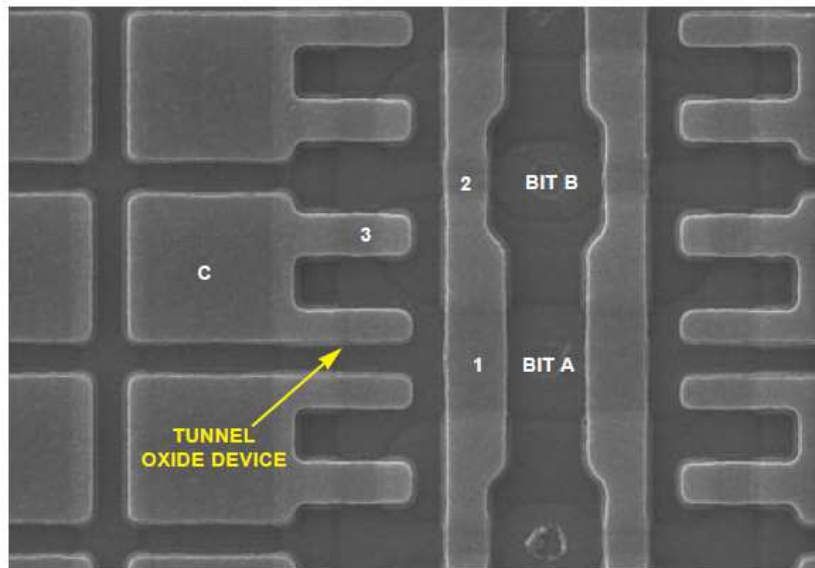
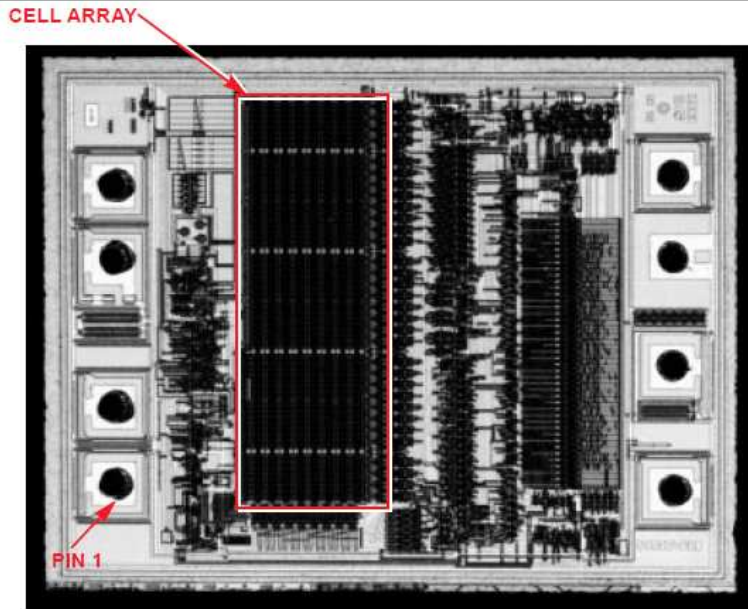


Celda de 1 M de Xicor, Inc.

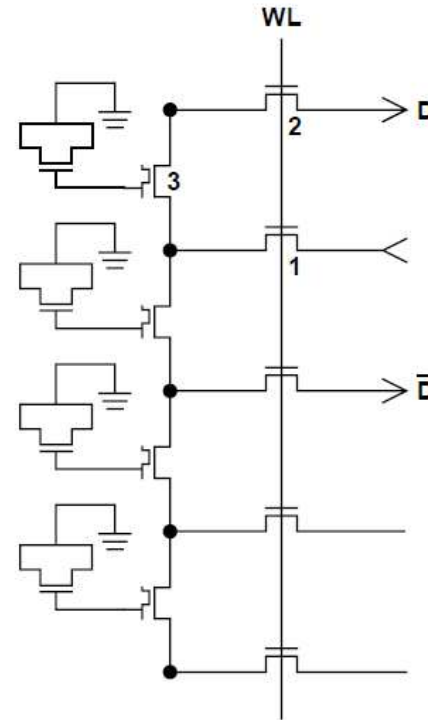
Ver detalle de cómo se establece la ventana para efecto túnel

Source: ICE, "Memory 1997"

22470



Chip de 1 K x 8 de acceso serial.
SGS-Thomson

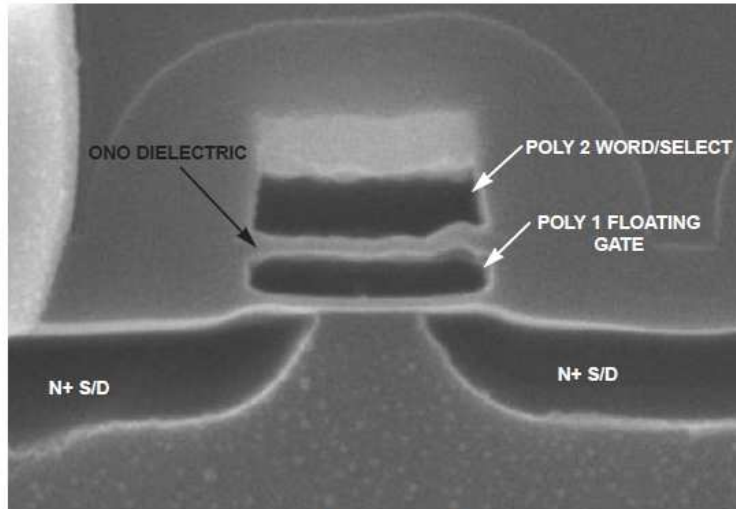


Ver tamaño relativo de la memoria
contra el resto del circuito

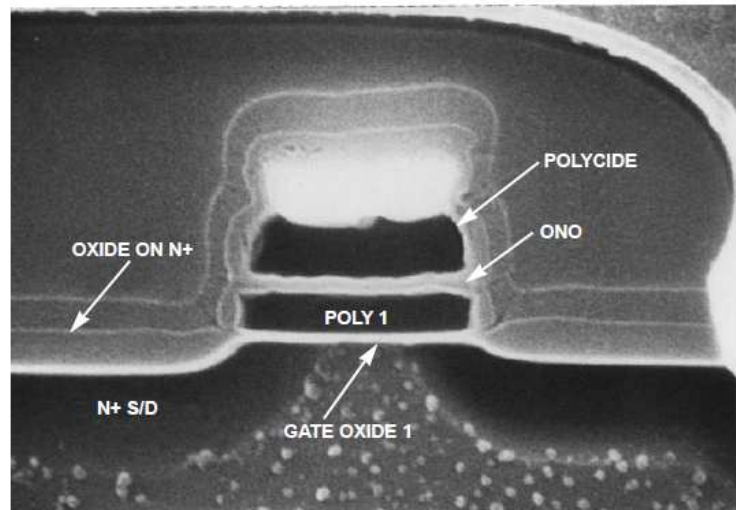
Memoria Flash.

EEPROM: cada bit (byte) se graba / borra individualmente

FLASH: Un bloque de datos de graba / borra en conjunto



EPROM MEMORY CELL



FLASH MEMORY CELL

Photos by ICE, "Memory 1997"

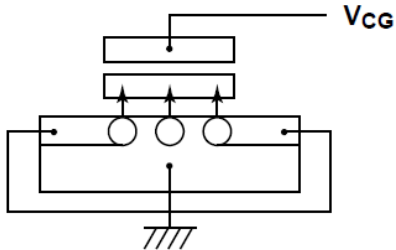
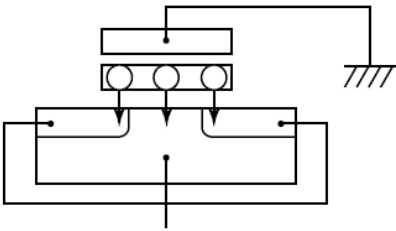
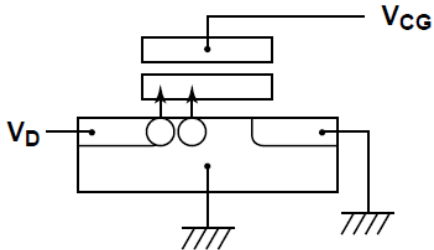
22482

Fotos de celdas EPROM
y FLASH de AMD, Inc.

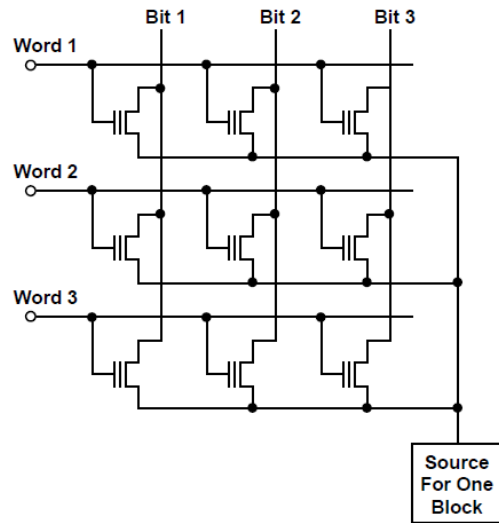
Los dispositivos son
equivalentes en tamaño

Ver diferencias en
geometría entre ambas
celdas

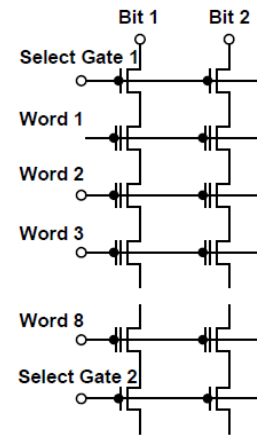
Modos de programación de celdas Flash

	Electron Trapping	Electron Removal
Bi-polarity FN-t Write / Erase technology	 <p>Fowler-Nordheim tunneling</p>	 <p>V_{sub}</p>
Hot-Electron injection and FN-t technology	 <p>Hot-Electron Injection</p>	<p>Fowler-Nordheim tunneling</p>

NOR ARCHITECTURE



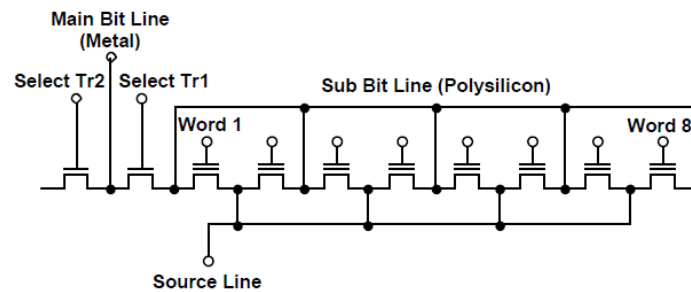
NAND ARCHITECTURE



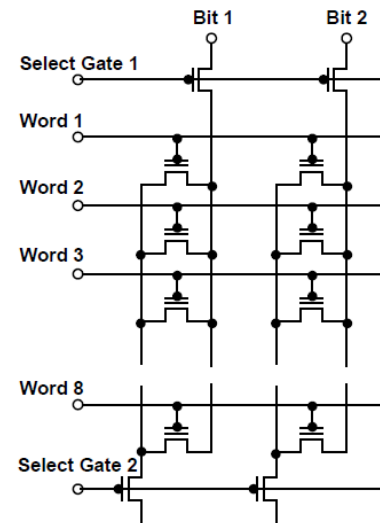
Comparación de arquitecturas de celdas Flash.

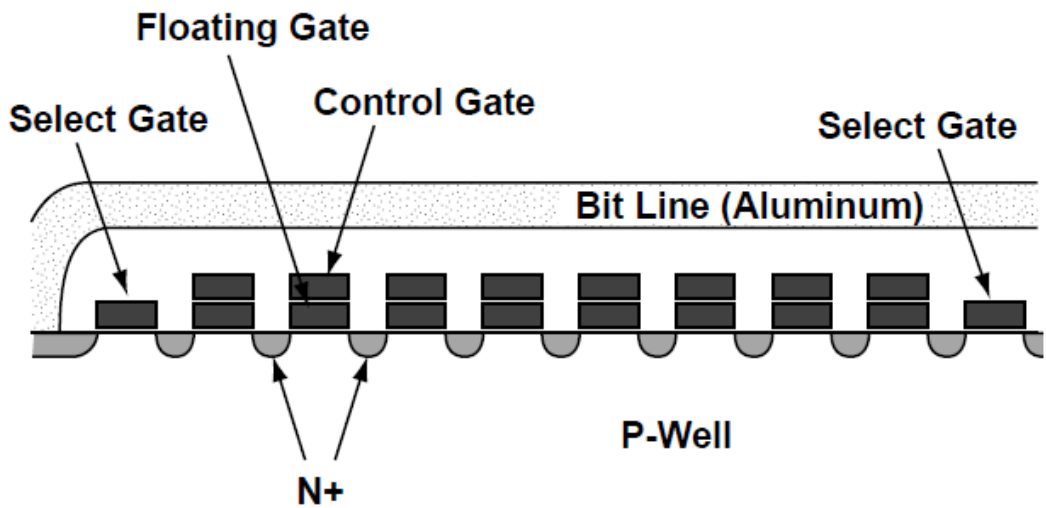
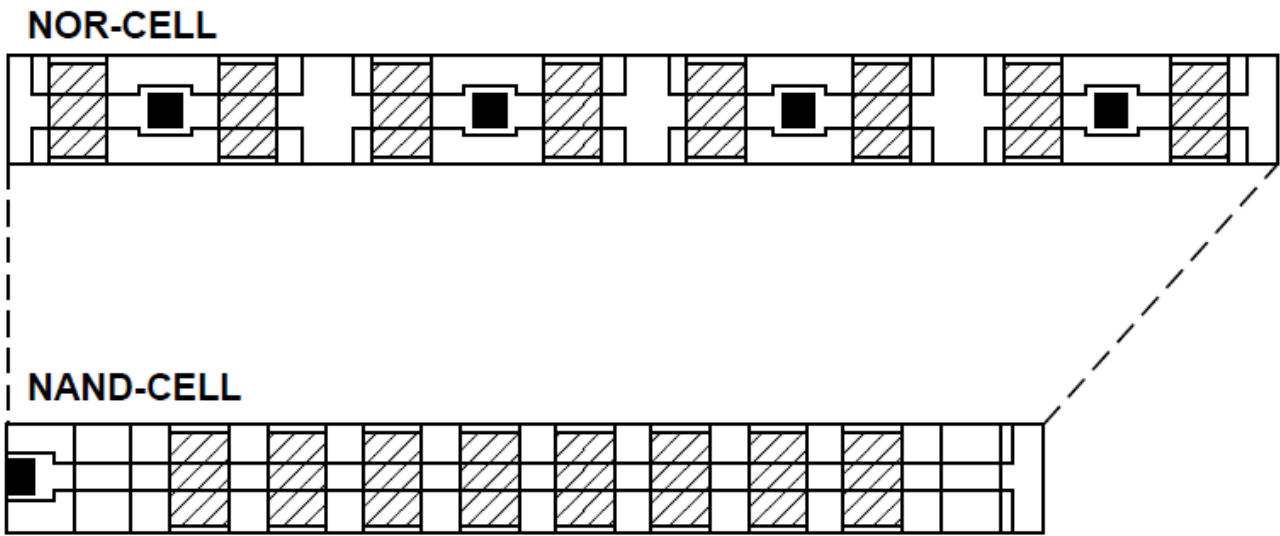
DiNOR = divide bit line NOR

DINOR ARCHITECTURE



AND ARCHITECTURE





Comparación entre arquitecturas NOR y NAND.
 Prevalece actualmente la versión NOR.

Source: ICE, "Memory 1997"

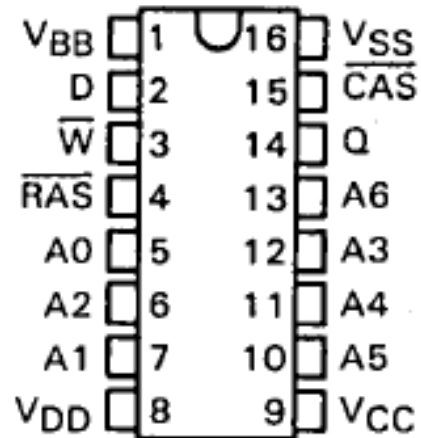
Productos disponibles Feb. '13:

- USB drives (64 GB)
- Memory cards (128 GB)
- Discos de estado sólido (640 GB)

Control de las memorias

Caso 1: Memoria de 16K x 1, 1979.

**TMS4116 . . . NL PACKAGE
(TOP VIEW)**



PIN NOMENCLATURE

A0-A6	Addresses
\overline{CAS}	Column Address Strobe
D	Data Input
Q	Data Output
\overline{RAS}	Row Address Strobe
VBB	-5-V Power Supply
VCC	+5-V Power Supply
VDD	+12-V Power Supply
VSS	Ground
\overline{W}	Write Enable

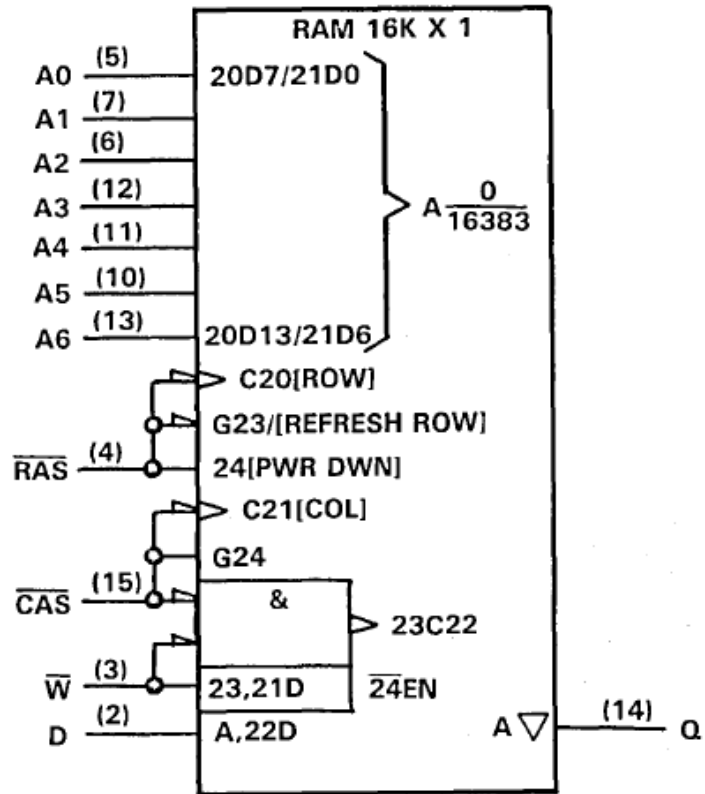
Fuente: TI Inc. Usado con autorización

Sumario de especificaciones

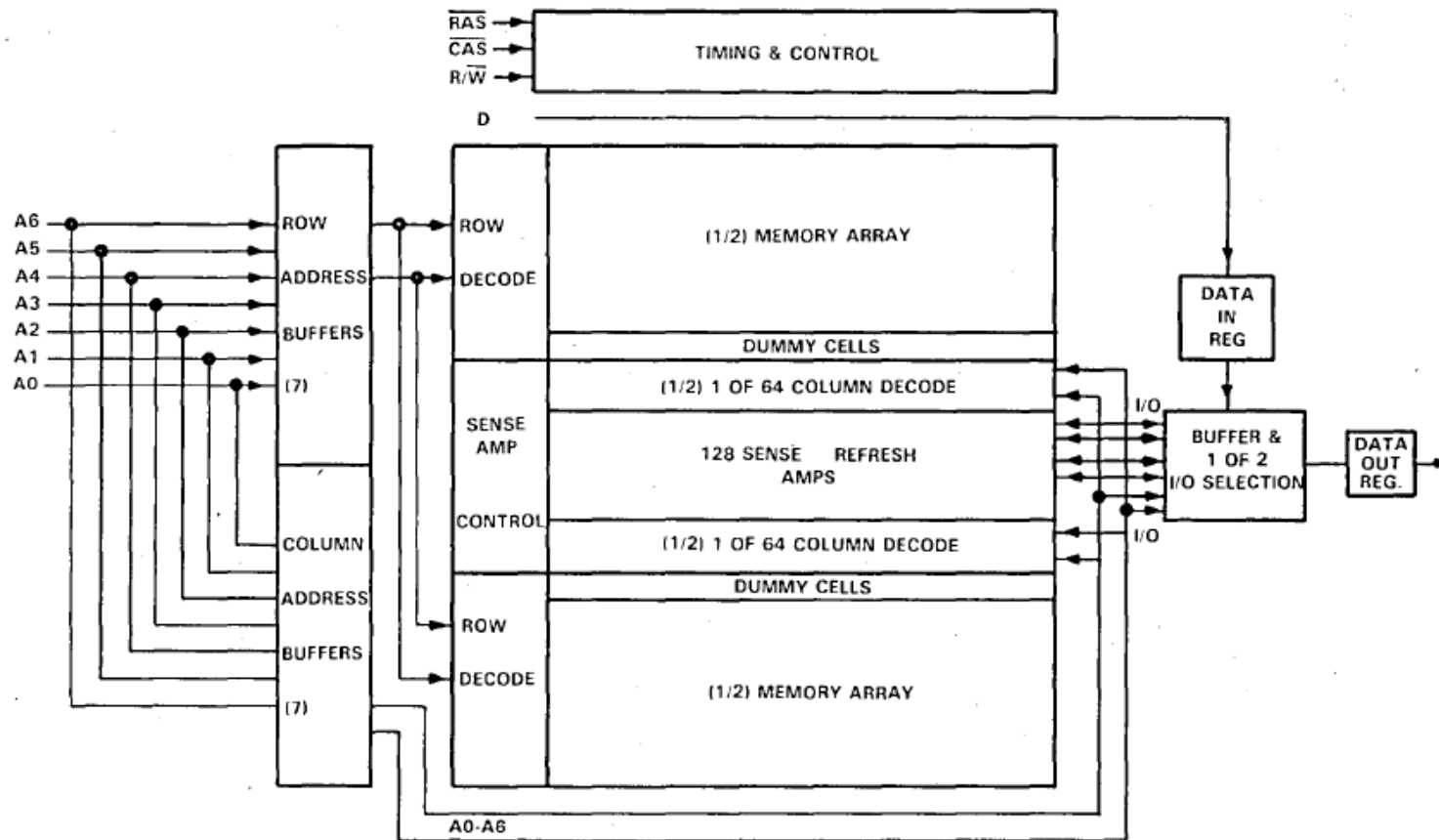
- **16,384 X 1 Organization**
- **10% Tolerance on All Supplies**
- **All Inputs Including Clocks TTL-Compatible**
- **Unlatched Three-State Fully TTL-Compatible Output**
- **3 Performance Ranges:**

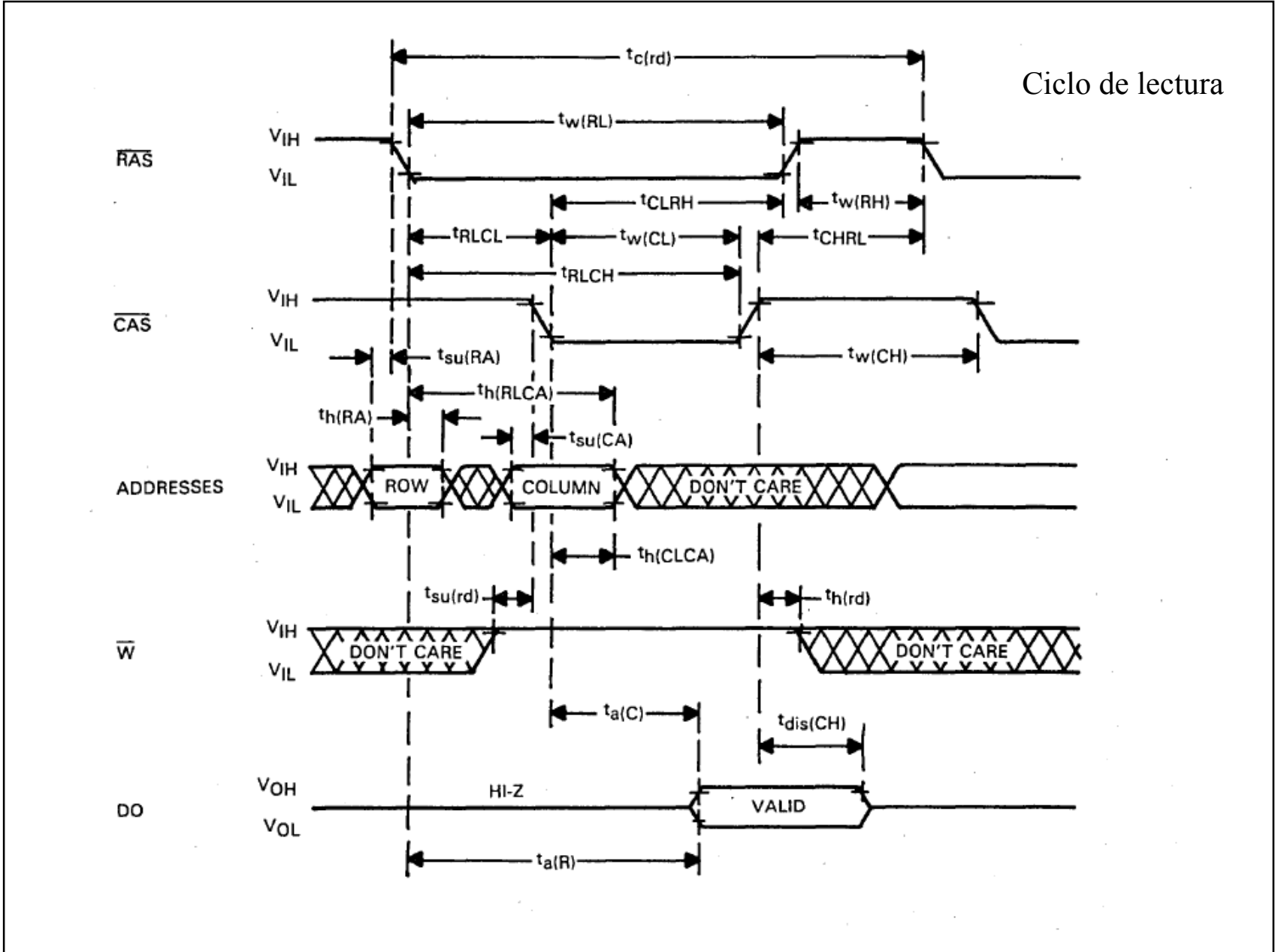
	ACCESS TIME ROW ADDRESS (MAX)	ACCESS TIME COLUMN ADDRESS (MAX)	READ OR WRITE CYCLE (MIN)	READ, MODIFY- WRITE[†] CYCLE (MIN)
TMS4116-15	150 ns	100 ns	375 ns	375 ns
TMS4116-20	200 ns	135 ns	375 ns	375 ns
TMS4116-25	250 ns	165 ns	410 ns	515 ns

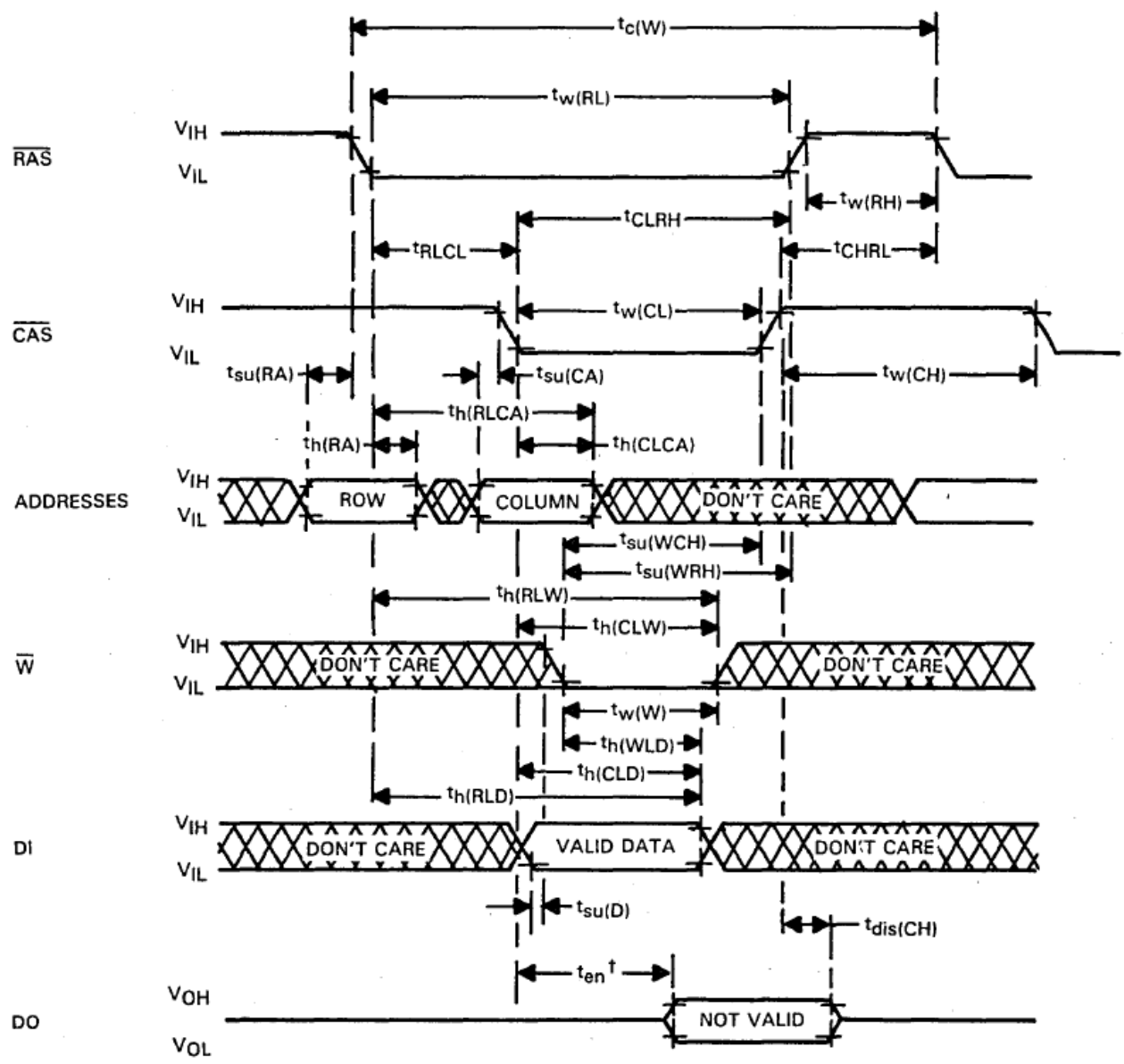
Esquema de conexiones



Organización en bloques.







Ciclo de escritura

Caso 2. Memoria estática 4 K x 1, 1990.

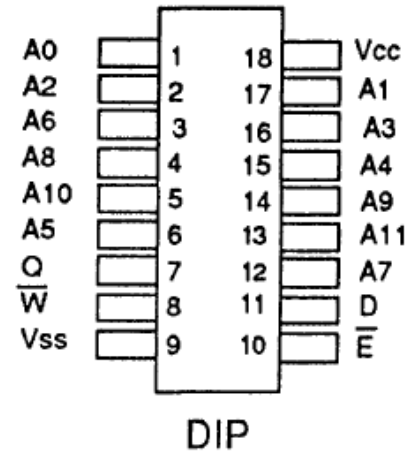
IMS1203
CMOS
High Performance
4K x 1 Static RAM

Fuente: INMOS Corp. Usado con permiso.

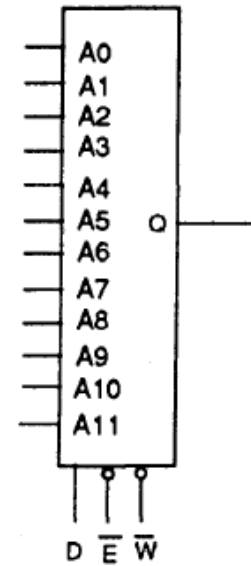
FEATURES

- INMOS' Very High Speed CMOS
- Advanced Process - 1.6 Micron Design Rules
- 4K x 1 Bit Organization
- 25, 35, and 45 nsec Access Times
- 25, 35, and 45 nsec Chip Enable Access Times
- Fully TTL Compatible
- Separate Data Input and Output
- Three-state Output
- 18 Pin, 300-mil DIP
- Single +5V \pm 10% Operation
- Power Down Function

PIN CONFIGURATION



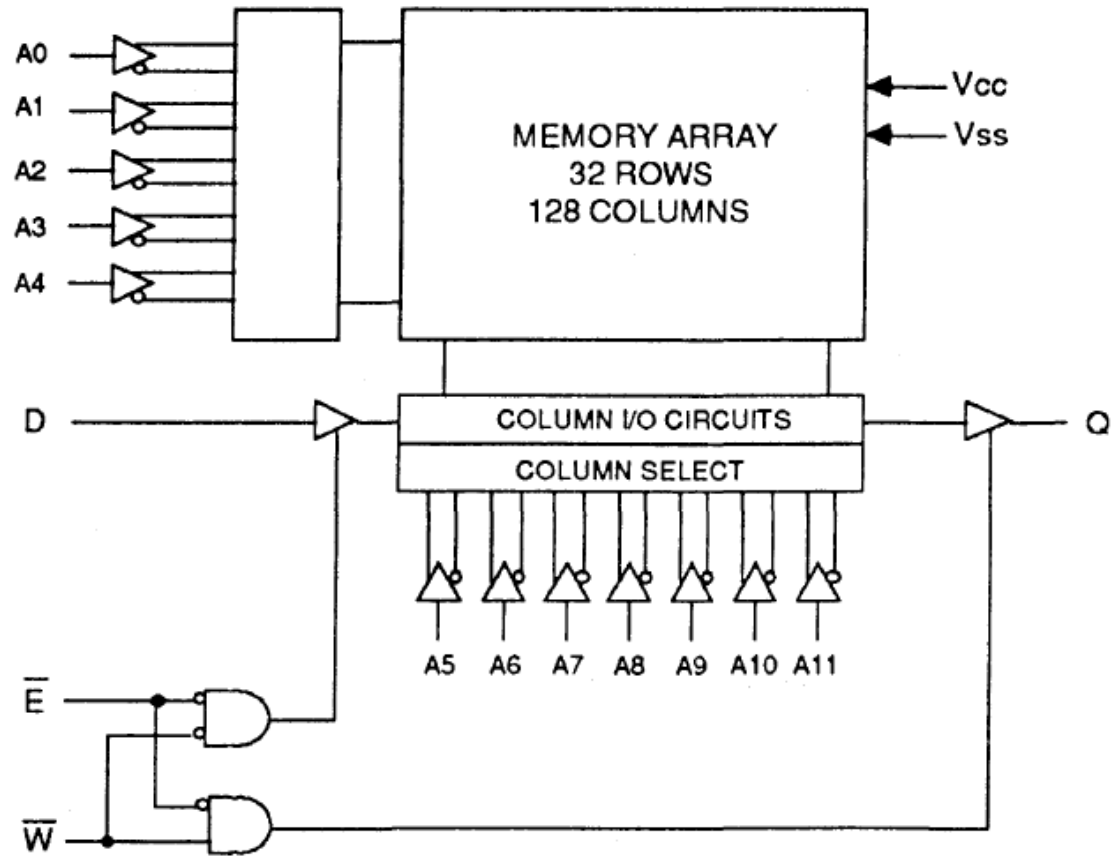
LOGIC SYMBOL



PIN NAMES

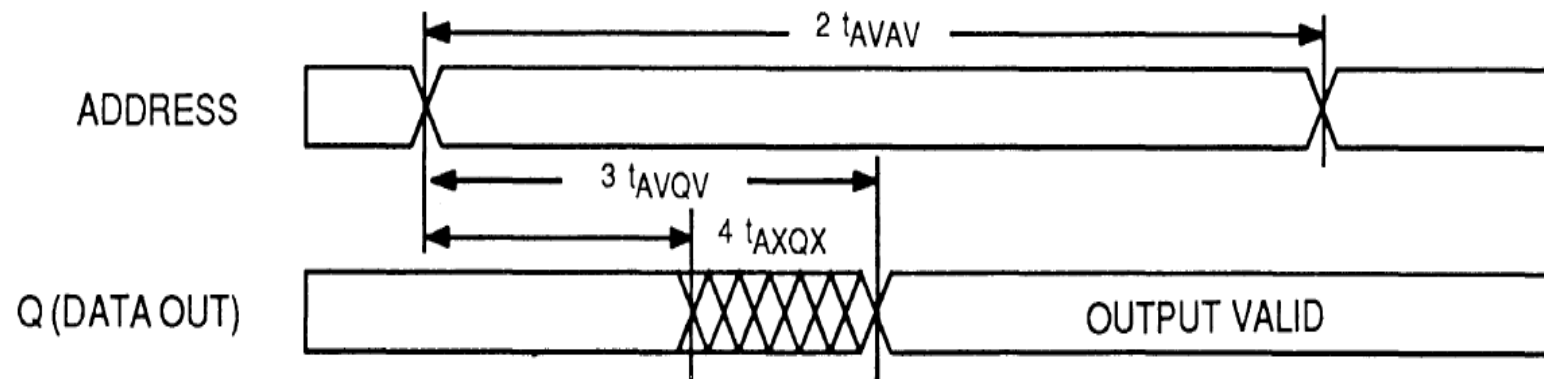
$A_0 - A_{11}$	ADDRESS INPUTS	V_{cc}	POWER
\bar{W}	WRITE ENABLE	V_{ss}	GROUND
D	DATA INPUT		
\bar{E}	CHIP ENABLE		
Q	DATA OUTPUT		

BLOCK DIAGRAM



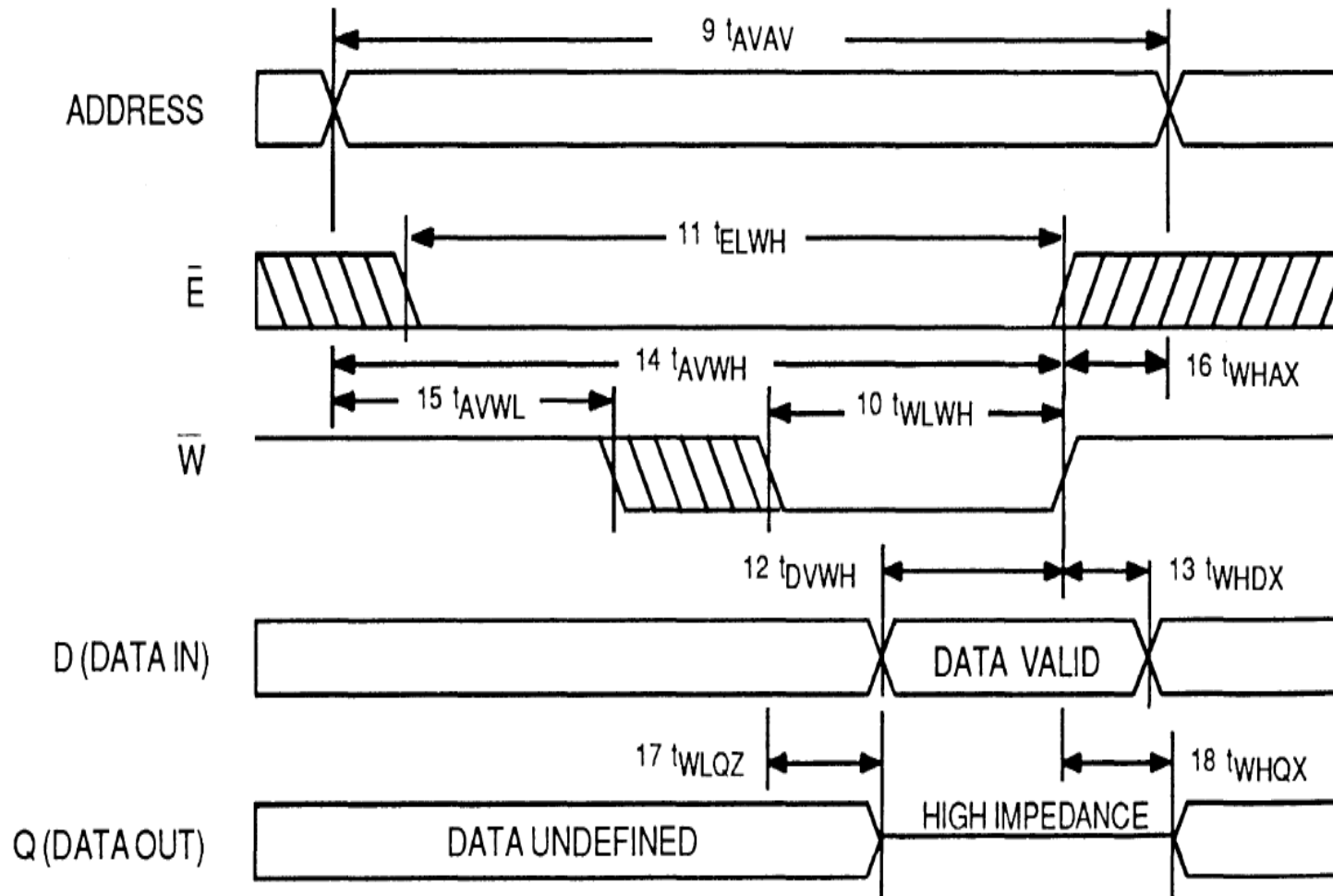
Ciclo de lectura:

Write permanece en alto durante todo el ciclo



El ciclo está controlado por enable.

Ciclo de escritura.



En las dos últimas diapositivas, los números hacen referencia a los tiempos de manual

Líneas de control:

CE: chip enable. Activo en bajo. Selecciona el chip

Write: Activa usualmente en bajo. Selecciona el modo escritura

Read: Activa usualmente en alto. Selecciona el modo lectura

Read y Write muchas veces están asociadas en un único pin.

Ras, Cas: líneas de control de filas y columnas en sistemas matricados. RAS es normalmente usada para refresco en los chips DRAM.